

Docket No.: 50099-184

E. J. J. J.
8-3-03
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Masato FUJINAGA

Serial No.:

Group Art Unit:

Filed: October 16, 2001

Examiner:

For: HIGH-FREQUENCY SEMICONDUCTOR DEVICE AND METHOD OF
MANUFACTURING THE SAME

Jc821 U.S. PTO
09/977274
10/16/01

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2000-349807, filed November 16, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

Stephen A. Becker
Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:mlw
Date: October 16, 2001
Facsimile: (202) 756-8087

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

50079-184
Masato Fujinaga
October 16, 2001

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日
Date of Application:

2000年11月16日

出願番号
Application Number:

特願2000-349807

出願人
Applicant(s):

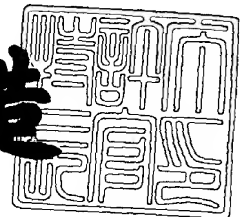
三菱電機株式会社



2000年12月 8日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3102755

【書類名】 特許願

【整理番号】 527030JP01

【提出日】 平成12年11月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/77

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 藤永 正人

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

 【識別番号】 100088845

 【弁理士】

 【氏名又は名称】 有田 貴弘

【手数料の表示】

 【予納台帳番号】 012852

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 主面を有する半導体基板と、
前記半導体基板の前記主面の上方に配設された第 1 配線と、
前記第 1 配線の延在方向に交差する断面において、第 1 絶縁体を挟んで前記第 1 配線の周囲を途切れなく覆う導体層と、を備える半導体装置。

【請求項 2】 前記半導体基板の前記主面の上に絶縁膜を挟んで配設された第 2 配線を、さらに備え、

前記第 2 配線の延在方向に交差する断面において、前記第 2 配線の上面と側面とが第 2 絶縁体を挟んで前記導体層に途切れなく覆うとともに前記半導体基板に接続されている、請求項 1 に記載の半導体装置。

【請求項 3】 前記導体層の上面が平坦である、請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】 前記導体層が電源電位を伝達する、請求項 1 ないし請求項 3 のいずれかに記載の半導体装置。

【請求項 5】 前記導体層が、前記第 2 配線の延在方向に交差する断面において、前記第 2 絶縁体と前記絶縁膜とを挟んで前記半導体基板と共同で前記配線の周囲を途切れなく覆う、請求項 2 に記載の半導体装置。

【請求項 6】 前記第 1 配線の延在方向に沿った一部において、前記第 1 配線が、前記導体層に選択的に形成された貫通孔の内側に側面絶縁膜を挟んで充填された導体プラグを通じて前記半導体基板に電氣的に接続されている、請求項 1 ないし請求項 5 のいずれに記載の半導体装置。

【請求項 7】 前記第 2 絶縁体のうち、前記第 2 配線の前記上面と側面とを覆いかつ前記導体層に接する部分が、同一の材料で構成される、請求項 2 または請求項 5 に記載の半導体装置。

【請求項 8】 前記第 1 絶縁体のうち、前記第 1 配線の前記上面と側面とを覆いかつ前記導体層に接する部分が、同一の材料で構成される、請求項 1 ないし請求項 7 のいずれかに記載の半導体装置。

- 【請求項 9】 (A)主面を有する半導体基板を準備する工程と、
(B)前記半導体基板の前記主面を覆うように第 1 導体層を堆積する工程と、
(C)前記第 1 導体層の上面を平坦化する工程と、
(D)平坦化された前記第 1 導体層の前記上面の上に、第 1 絶縁膜を形成する工程と、
(E)前記第 1 絶縁膜の上に第 1 導電膜を堆積する工程と、
(F)前記第 1 導電膜の上に第 2 絶縁膜を形成する工程と、
(G)前記第 1 導電膜と前記第 2 絶縁膜とをパターニングすることにより、第 1 配線とその上面を覆う第 1 上部絶縁膜とを形成する工程と、
(H)前記第 1 上部絶縁膜が埋まる厚さで前記第 1 導体層の前記上面を覆うように第 3 絶縁膜を堆積する工程と、
(I)前記第 1 配線と前記第 1 上部絶縁膜の側面を覆う部分を第 1 サイドウォールとして残すように、前記第 3 絶縁膜を除去する工程と、
(J)前記工程(I)と同時に、または前記工程(I)の後に、前記第 1 配線および前記第 1 サイドウォールに覆われる部分を残すように、前記第 1 絶縁膜を除去する工程と、
(K)前記第 1 上部絶縁膜が埋まる厚さで前記第 1 導体層の前記上面を覆うように第 2 導体層を堆積する工程と、
(L)前記第 1 上部絶縁膜が埋まった状態を保つように、前記第 2 導体層の上面を平坦化する工程と、を備える半導体装置の製造方法。

- 【請求項 10】 (A)主面を有する半導体基板を準備する工程と、
(B)前記半導体基板の前記主面を覆うように第 1 導体層を堆積する工程と、
(C)前記第 1 導体層の上面を平坦化する工程と、
(D)平坦化された前記第 1 導体層の前記上面の上に第 1 絶縁膜を形成する工程と、
(E)前記第 1 絶縁膜の上に第 1 犠牲層を堆積する工程と、
(F)前記第 1 犠牲層に、その上面から下面まで貫通する溝を選択的に形成する工程と、
(G)前記溝を充填するように導電材を堆積する工程と、

(H)前記第 1 犠牲層と前記導電材との上面を平坦化し、それにより前記導電材から第 1 配線を形成する工程と、

(I)前記第 1 犠牲層と前記第 1 配線との上面の上に第 2 絶縁膜を形成する工程と、

(J)前記第 1 配線の上の部分を第 1 上部絶縁膜として残すように、前記第 2 絶縁膜を除去する工程と、

(K)前記第 1 犠牲層を除去する工程と、

(L)前記第 1 上部絶縁膜が埋まる厚さで前記第 1 導体層の前記上面を覆うように第 3 絶縁膜を堆積する工程と、

(M)前記第 1 配線と前記第 1 上部絶縁膜の側面を覆う部分を第 1 サイドウォールとして残すように、前記第 3 絶縁膜を除去する工程と、

(N)前記工程(M)と同時に、または前記工程(M)の後に、前記第 1 配線および前記第 1 サイドウォールに覆われる部分を残すように、前記第 1 絶縁膜を除去する工程と、

(O)前記第 1 上部絶縁膜が埋まる厚さで前記第 1 導体層の前記上面を覆うように第 2 導体層を堆積する工程と、

(P)前記第 1 上部絶縁膜が埋まった状態を保つように、前記第 2 導体層の上面を平坦化する工程と、を備える半導体装置の製造方法。

【請求項 1 1】 前記工程(B)が、

(B1)前記主面の上に第 4 絶縁膜を形成する工程と、

(B2)前記第 4 絶縁膜の上に第 2 導電膜を形成する工程と、

(B3)前記第 2 導電膜の上に第 5 絶縁膜を形成する工程と、

(B4)前記第 2 導電膜と前記第 5 絶縁膜とをパターニングすることにより、第 2 配線とその上面を覆う第 2 上部絶縁膜とを形成する工程と、

(B5)前記第 2 上部絶縁膜が埋まる厚さで前記半導体基板の前記主面を覆うように第 6 絶縁膜を堆積する工程と、

(B6)前記第 2 配線と前記第 2 上部絶縁膜の側面を覆う部分を第 2 サイドウォールとして残すように、前記第 6 絶縁膜を除去する工程と、

(B7)前記工程(B6)と同時に、または前記工程(B6)の後に、前記第 2 配線および

前記第 2 サイドウォールに覆われる部分を残すように、前記第 4 絶縁膜を除去する工程と、

(B8)前記第 2 上部絶縁膜が埋まる厚さで前記半導体基板の前記主面を覆うように前記第 1 導体層を堆積する工程と、
を備え、

前記工程(C)が、

(C1)前記第 2 上部絶縁膜が埋まった状態を保つように、前記第 1 導体層の上面を平坦化する工程、を備える、請求項 9 に記載の半導体装置の製造方法。

【請求項 1 2】 前記工程(B)が、

(B1)前記主面の上に第 4 絶縁膜を形成する工程と、

(B2)前記第 4 絶縁膜の上に第 2 導電膜を形成する工程と、

(B3)前記第 2 導電膜の上に第 5 絶縁膜を形成する工程と、

(B4)前記第 2 導電膜と前記第 5 絶縁膜とをパターンニングすることにより、第 2 配線とその上面を覆う第 2 上部絶縁膜とを形成する工程と、

(B5)前記第 2 上部絶縁膜が埋まる厚さで前記半導体基板の前記主面を覆うように第 6 絶縁膜を堆積する工程と、

(B6)前記第 2 配線と前記第 2 上部絶縁膜の側面を覆う部分を第 2 サイドウォールとして残すように、前記第 6 絶縁膜を除去する工程と、

(B7)前記工程(B6)と同時に、または前記工程(B6)の後に、前記第 2 配線および前記第 2 サイドウォールに覆われる部分を残すように、前記第 4 絶縁膜を除去する工程と、

(B8)前記第 2 上部絶縁膜が埋まる厚さで前記半導体基板の前記主面を覆うように前記第 1 導体層を堆積する工程と、
を備え、

前記工程(C)が、

(C1)前記第 2 上部絶縁膜が埋まった状態を保つように、前記第 1 導体層の上面を平坦化する工程、を備える、請求項 1 0 に記載の半導体装置の製造方法。

【請求項 1 3】 (AA)前記工程(D)の後に前記工程(E)の前に、前記第 1 絶縁膜の上面から前記第 1 導体層の下面まで貫通する貫通孔を、前記第 1 絶縁膜と前

記第 1 導体層とに選択的に形成する工程と、

(BB)前記工程(E)の前に、前記貫通孔の側壁面を覆う側面絶縁膜を形成する工程と、

(CC)前記工程(E)の前に、前記側面絶縁膜を挟んで前記貫通孔を充填する導電プラグを形成する工程と、をさらに備え、

前記工程(E)では、前記第 1 導電膜が、前記導電プラグに接続されるように前記貫通孔の上にも堆積され、

前記工程(G)では、前記貫通孔の上をも覆うことにより前記導電プラグに接続されるように、前記第 1 配線が形成される、請求項 9 または請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 4】 (AA)前記工程(B7)の後で前記工程(B8)の前に、前記第 2 上部絶縁膜が埋まる厚さで前記半導体基板の前記主面を覆うように第 2 犠牲層を堆積する工程と、

(BB)前記工程(B8)の前に、一部を柱状部として残すように前記第 2 犠牲層をパターニングする工程と、をさらに備え、

前記工程(B8)では、前記第 2 上部絶縁膜が埋まる厚さで前記半導体基板の前記主面を覆うように前記第 1 導体層が堆積され、

前記工程(C1)では、前記第 2 上部絶縁膜が埋まった状態を保つように、前記柱状部の上面と前記第 1 導体層の上面とが平坦化され、

前記半導体装置の製造方法は、

(CC)前記工程(C1)の後で前記工程(D)の前に、前記柱状部を除去することにより、前記第 1 導体層に貫通孔を形成する工程と、

(DD)前記工程(CC)の後で前記工程(D)の前に、前記貫通孔の側壁面を覆う側面絶縁膜を形成する工程と、

(EE)前記工程(D)の前に、前記側面絶縁膜を挟んで前記貫通孔を充填する導電プラグを形成する工程と、

をさらに備え、

前記工程(D)は、

(D1)平坦化された前記第 1 導体層の前記上面の上と前記貫通孔の上とに前記第

1 絶縁膜を形成する工程と、

(D2)前記導電プラグの上面の少なくとも一部が露出するように前記第1絶縁膜を選択的に除去する工程と、を備え、

前記工程(E)では、前記第1絶縁膜の上とともに、前記導電プラグの露出面の上にも前記第1犠牲層が堆積され、

前記工程(F)では、前記導電プラグの前記露出面が露出するように前記溝が形成され、

前記工程(G)では、前記導電プラグの前記露出面に接続されるように前記導電材が堆積される、請求項12に記載の半導体装置の製造方法。

【請求項15】 前記第5絶縁膜の少なくとも上面部分と前記第6絶縁膜とが同一材料であり、前記第2犠牲層がこれらとは異なる材料である、請求項14に記載の半導体装置の製造方法。

【請求項16】 前記第2絶縁膜の少なくとも上面部分と前記第3絶縁膜とが同一材料である、請求項10、請求項12または請求項14に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置およびその製造方法に関し、特に、配線における雑音排除特性の向上を、微細化の促進および製造工程の簡素化と両立して実現するための改良に関する。

【0002】

【従来の技術】

図31および図32は、文献(Y.Odate,T.Usami,K.Otsuka,T.Suga,"A measurement and simulation study of transmission lines on micro-strip and stacked-pair structure for high speed signals,"Proc.Electronic Components&technology Conference,pp.526-529,May2000.)に掲載されている、従来の半導体装置に用いられる高周波用配線構造の断面図であり、半導体基板の上方に配設されたマイクロストリップラインとスタックトペアラインとを、それぞれ示している

。マイクロストリップラインでは、伝送線 2 0 1 の下に接地線 2 0 3 が形成されており、それにより電磁界が接地線 2 0 3 へ集められる。このため、伝送線 2 0 1 と他の伝送線 2 0 2 との間での雑音の影響を排除する特性（すなわち雑音排除特性）が高められる。

【 0 0 0 3 】

しかし、他の伝送線 2 0 2 が伝送線 2 0 1 へ過度に接近すると、雑音排除特性が低下するという問題点があり、これに代わるスタックトペアライン構造が提案された。スタックトペアライン構造では、互いに同じ幅と厚さを有する伝送線 2 0 1 と接地線 2 0 4 とを、互いにペアをなすように配置することで、電磁界を収束させ、それによって雑音排除特性の向上が図られている。

【 0 0 0 4 】

しかしながら、スタックトペアラインにおいても、伝送線 2 0 1 とその横に並ぶ他の伝送線との間での雑音排除特性が十分ではないという問題点があり、これを解決するものとして、同軸遮蔽配線構造が提案されている。図 3 3 は、特開平 6 - 2 1 6 3 4 3 号公報に開示される同軸遮蔽配線構造の断面図である。この同軸遮蔽配線構造では、伝送線 2 1 0 の上下左右に、絶縁膜 2 1 5 を介して接地線 2 1 1, 2 1 2, 2 1 3, 2 1 4 が配置されている。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかし、同軸遮蔽配線構造では、伝送線 2 1 0 の左右に接地線 2 1 3, 2 1 4 が配置されており、しかもこれらの配線はマスクパターンを用いた転写を通じて形成されるものであるため、あたかも現有の設計ルール（リソグラフィ解像度の限界値）の 2 倍の設計ルールで形成されたと同様の素子の集積度しか得られない。すなわち、微細化が阻害されるという問題点があった。さらに、 $0.1\mu\text{m}$ 以下にまで微細化された配線ルールでは、横に並ぶ伝送線どうしの間で、雑音排除特性が劣化するという問題点があった。加えて、接地線 2 1 1, 2 1 2, 2 1 3, 2 1 4 を半導体基板に電氣的に接続するのに、専用のコンタクトホールを形成する必要があり、半導体装置の製造工程が複雑であるという問題点があった。

【 0 0 0 6 】

この発明は、従来の技術における上記した問題点を解消するためになされたもので、配線の雑音排除特性の向上を、微細化の促進および製造工程の簡素化と両立して実現する半導体装置およびその製造方法を提供することを目的とする。

【 0 0 0 7 】

【課題を解決するための手段】

第 1 の発明の装置は、半導体装置であって、主面を有する半導体基板と、前記半導体基板の前記主面の上方に配設された第 1 配線と、前記第 1 配線の延在方向に交差する断面において、第 1 絶縁体を挟んで前記第 1 配線の周囲を途切れなく覆う導体層と、を備える。

【 0 0 0 8 】

第 2 の発明の装置は、第 1 の発明の半導体装置において、前記半導体基板の前記主面の上に絶縁膜を挟んで配設された第 2 配線を、さらに備え、前記第 2 配線の延在方向に交差する断面において、前記第 2 配線の上面と側面とが第 2 絶縁体を挟んで前記導体層に途切れなく覆うとともに前記半導体基板に接続されている。

【 0 0 0 9 】

第 3 の発明の装置では、第 1 または第 2 の発明の半導体装置において、前記導体層の上面が平坦である。

【 0 0 1 0 】

第 4 の発明の装置では、第 1 ないし第 3 のいずれかの発明の半導体装置において、前記導体層が電源電位を伝達する。

【 0 0 1 1 】

第 5 の発明の装置では、第 2 の発明の半導体装置において、前記導体層が、前記第 2 配線の延在方向に交差する断面において、前記第 2 絶縁体と前記絶縁膜とを挟んで前記半導体基板と共同で前記配線の周囲を途切れなく覆う。

【 0 0 1 2 】

第 6 の発明の装置では、第 1 ないし第 5 のいずれの発明の半導体装置において、前記第 1 配線の延在方向に沿った一部において、前記第 1 配線が、前記導体層に選択的に形成された貫通孔の内側に側面絶縁膜を挟んで充填された導体プラグ

を通じて前記半導体基板に電氣的に接続されている。

【 0 0 1 3 】

第 7 の発明の装置では、第 2 または第 5 の発明の半導体装置において、前記第 2 絶縁体のうち、前記第 2 配線の前記上面と側面とを覆いかつ前記導体層に接する部分が、同一の材料で構成される。

【 0 0 1 4 】

第 8 の発明の装置では、第 1 ないし第 7 のいずれかの発明の半導体装置において、前記第 1 絶縁体のうち、前記第 1 配線の前記上面と側面とを覆いかつ前記導体層に接する部分が、同一の材料で構成される。

【 0 0 1 5 】

第 9 の発明の製造方法は、半導体装置の製造方法であって、(A)主面を有する半導体基板を準備する工程と、(B)前記半導体基板の前記主面を覆うように第 1 導体層を堆積する工程と、(C)前記第 1 導体層の上面を平坦化する工程と、(D)平坦化された前記第 1 導体層の前記上面の上に、第 1 絶縁膜を形成する工程と、(E)前記第 1 絶縁膜の上に第 1 導電膜を堆積する工程と、(F)前記第 1 導電膜の上に第 2 絶縁膜を形成する工程と、(G)前記第 1 導電膜と前記第 2 絶縁膜とをパターニングすることにより、第 1 配線とその上面を覆う第 1 上部絶縁膜とを形成する工程と、(H)前記第 1 上部絶縁膜が埋まる厚さで前記第 1 導体層の前記上面を覆うように第 3 絶縁膜を堆積する工程と、(I)前記第 1 配線と前記第 1 上部絶縁膜の側面を覆う部分を第 1 サイドウォールとして残すように、前記第 3 絶縁膜を除去する工程と、(J)前記工程(I)と同時に、または前記工程(I)の後に、前記第 1 配線および前記第 1 サイドウォールに覆われる部分を残すように、前記第 1 絶縁膜を除去する工程と、(K)前記第 1 上部絶縁膜が埋まる厚さで前記第 1 導体層の前記上面を覆うように第 2 導体層を堆積する工程と、(L)前記第 1 上部絶縁膜が埋まった状態を保つように、前記第 2 導体層の上面を平坦化する工程と、を備える。

【 0 0 1 6 】

第 1 0 の発明の製造方法は、半導体装置の製造方法であって、(A)主面を有する半導体基板を準備する工程と、(B)前記半導体基板の前記主面を覆うように第

1 導体層を堆積する工程と、(C)前記第 1 導体層の上面を平坦化する工程と、(D)平坦化された前記第 1 導体層の前記上面の上に第 1 絶縁膜を形成する工程と、(E)前記第 1 絶縁膜の上に第 1 犠牲層を堆積する工程と、(F)前記第 1 犠牲層に、その上面から下面まで貫通する溝を選択的に形成する工程と、(G)前記溝を充填するように導電材を堆積する工程と、(H)前記第 1 犠牲層と前記導電材との上面を平坦化し、それにより前記導電材から第 1 配線を形成する工程と、(I)前記第 1 犠牲層と前記第 1 配線との上面の上に第 2 絶縁膜を形成する工程と、(J)前記第 1 配線の上の部分を第 1 上部絶縁膜として残すように、前記第 2 絶縁膜を除去する工程と、(K)前記第 1 犠牲層を除去する工程と、(L)前記第 1 上部絶縁膜が埋まる厚さで前記第 1 導体層の前記上面を覆うように第 3 絶縁膜を堆積する工程と、(M)前記第 1 配線と前記第 1 上部絶縁膜の側面を覆う部分を第 1 サイドウォールとして残すように、前記第 3 絶縁膜を除去する工程と、(N)前記工程(M)と同時に、または前記工程(M)の後に、前記第 1 配線および前記第 1 サイドウォールに覆われる部分を残すように、前記第 1 絶縁膜を除去する工程と、(O)前記第 1 上部絶縁膜が埋まる厚さで前記第 1 導体層の前記上面を覆うように第 2 導体層を堆積する工程と、(P)前記第 1 上部絶縁膜が埋まった状態を保つように、前記第 2 導体層の上面を平坦化する工程と、を備える。

【 0 0 1 7 】

第 1 1 の発明の製造方法では、第 9 の発明の半導体装置の製造方法において、前記工程(B)が、(B1)前記主面の上に第 4 絶縁膜を形成する工程と、(B2)前記第 4 絶縁膜の上に第 2 導電膜を形成する工程と、(B3)前記第 2 導電膜の上に第 5 絶縁膜を形成する工程と、(B4)前記第 2 導電膜と前記第 5 絶縁膜とをパターニングすることにより、第 2 配線とその上面を覆う第 2 上部絶縁膜とを形成する工程と、(B5)前記第 2 上部絶縁膜が埋まる厚さで前記半導体基板の前記主面を覆うように第 6 絶縁膜を堆積する工程と、(B6)前記第 2 配線と前記第 2 上部絶縁膜の側面を覆う部分を第 2 サイドウォールとして残すように、前記第 6 絶縁膜を除去する工程と、(B7)前記工程(B6)と同時に、または前記工程(B6)の後に、前記第 2 配線および前記第 2 サイドウォールに覆われる部分を残すように、前記第 4 絶縁膜を除去する工程と、(B8)前記第 2 上部絶縁膜が埋まる厚さで前記半導体基板の前記

主面を覆うように前記第 1 導体層を堆積する工程と、を備え、前記工程(C)が、(C1)前記第 2 上部絶縁膜が埋まった状態を保つように、前記第 1 導体層の上面を平坦化する工程、を備える。

【 0 0 1 8 】

第 1 2 の発明の製造方法では、第 1 0 の発明の半導体装置の製造方法において、前記工程(B)が、(B1)前記主面の上に第 4 絶縁膜を形成する工程と、(B2)前記第 4 絶縁膜の上に第 2 導電膜を形成する工程と、(B3)前記第 2 導電膜の上に第 5 絶縁膜を形成する工程と、(B4)前記第 2 導電膜と前記第 5 絶縁膜とをパターンニングすることにより、第 2 配線とその上面を覆う第 2 上部絶縁膜とを形成する工程と、(B5)前記第 2 上部絶縁膜が埋まる厚さで前記半導体基板の前記主面を覆うように第 6 絶縁膜を堆積する工程と、(B6)前記第 2 配線と前記第 2 上部絶縁膜の側面を覆う部分を第 2 サイドウォールとして残すように、前記第 6 絶縁膜を除去する工程と、(B7)前記工程(B6)と同時に、または前記工程(B6)の後に、前記第 2 配線および前記第 2 サイドウォールに覆われる部分を残すように、前記第 4 絶縁膜を除去する工程と、(B8)前記第 2 上部絶縁膜が埋まる厚さで前記半導体基板の前記主面を覆うように前記第 1 導体層を堆積する工程と、を備え、前記工程(C)が、(C1)前記第 2 上部絶縁膜が埋まった状態を保つように、前記第 1 導体層の上面を平坦化する工程、を備える。

【 0 0 1 9 】

第 1 3 の発明の製造方法は、第 9 または第 1 1 の発明の半導体装置の製造方法において、(AA)前記工程(D)の後に前記工程(E)の前に、前記第 1 絶縁膜の上面から前記第 1 導体層の下面まで貫通する貫通孔を、前記第 1 絶縁膜と前記第 1 導体層とに選択的に形成する工程と、(BB)前記工程(E)の前に、前記貫通孔の側壁面を覆う側面絶縁膜を形成する工程と、(CC)前記工程(E)の前に、前記側面絶縁膜を挟んで前記貫通孔を充填する導電プラグを形成する工程と、をさらに備え、前記工程(E)では、前記第 1 導電膜が、前記導電プラグに接続されるように前記貫通孔の上にも堆積され、前記工程(G)では、前記貫通孔の上をも覆うことにより前記導電プラグに接続されるように、前記第 1 配線が形成される。

【 0 0 2 0 】

第 1 4 の発明の製造方法は、第 1 2 の発明の半導体装置の製造方法において、(AA)前記工程(B7)の後で前記工程(B8)の前に、前記第 2 上部絶縁膜が埋まる厚さで前記半導体基板の前記主面を覆うように第 2 犠牲層を堆積する工程と、(BB)前記工程(B8)の前に、一部を柱状部として残すように前記第 2 犠牲層をパターンニングする工程と、をさらに備え、前記工程(B8)では、前記第 2 上部絶縁膜が埋まる厚さで前記半導体基板の前記主面を覆うように前記第 1 導体層が堆積され、前記工程(C1)では、前記第 2 上部絶縁膜が埋まった状態を保つように、前記柱状部の上面と前記第 1 導体層の上面とが平坦化され、前記半導体装置の製造方法は、(C)前記工程(C1)の後で前記工程(D)の前に、前記柱状部を除去することにより、前記第 1 導体層に貫通孔を形成する工程と、(DD)前記工程(CC)の後で前記工程(D)の前に、前記貫通孔の側壁面を覆う側面絶縁膜を形成する工程と、(EE)前記工程(D)の前に、前記側面絶縁膜を挟んで前記貫通孔を充填する導電プラグを形成する工程と、をさらに備え、前記工程(D)は、(D1)平坦化された前記第 1 導体層の前記上面の上と前記貫通孔の上とに前記第 1 絶縁膜を形成する工程と、(D2)前記導電プラグの上面の少なくとも一部が露出するように前記第 1 絶縁膜を選択的に除去する工程と、を備え、前記工程(E)では、前記第 1 絶縁膜の上とともに、前記導電プラグの露出面の上にも前記第 1 犠牲層が堆積され、前記工程(F)では、前記導電プラグの前記露出面が露出するように前記溝が形成され、前記工程(G)では、前記導電プラグの前記露出面に接続されるように前記導電材が堆積される。

【 0 0 2 1 】

第 1 5 の発明の製造方法では、第 1 4 の発明の半導体装置の製造方法において、前記第 5 絶縁膜の少なくとも上面部分と前記第 6 絶縁膜とが同一材料であり、前記第 2 犠牲層がこれらとは異なる材料である。

【 0 0 2 2 】

第 1 6 の発明の製造方法では、第 1 0、第 1 2 または第 1 4 の発明の半導体装置の製造方法において、前記第 2 絶縁膜の少なくとも上面部分と前記第 3 絶縁膜とが同一材料である。

【 0 0 2 3 】

【発明の実施の形態】

実施の形態 1.

(装置の構成)

図 1 は、本発明の実施の形態 1 による半導体装置の正面断面図である。この半導体装置 1 0 1 は、半導体基板 1 とその上に形成された配線構造とを有する。半導体基板 1 はシリコン基板であり、その主面には、トレンチ分離構造 (STI : Shallow Trench Isolation) としての絶縁膜 3、および不純物導入層 2 が選択的に形成されている。配線構造では、信号伝達用の下層配線としての複数の配線 6、および信号伝達用の上層配線としての複数の配線 1 5 が、半導体基板 1 の上方に形成されている。配線 6、1 5 は、いずれも 1 G H z 以上の高周波電気信号を伝達可能に構成されている。

【0 0 2 4】

配線 6 は絶縁膜 5 を挟んで半導体基板 1 の主面に対向している。配線 6 の上には上部絶縁膜 7 および 9 が形成されている。また、絶縁膜 5、配線 6、および上部絶縁膜 7、9 の側面には、絶縁体のサイドウォール 8 が形成されている。すなわち、配線 6 は、その延在方向に沿った断面において絶縁体に包囲されている。配線 6 とその周囲を覆う絶縁体とは、半導体基板 1 を覆うように形成された導体層 1 2 に埋め込まれている。したがって、配線 6 の延在方向に垂直な断面において、配線 6 の上面と側面とは、絶縁体を挟んで導体層 1 2 に途切れなく覆われている。導体層 1 2 の材料はアルミニウムを主成分とする金属 (アルミニウムそのものをも含む) である。

【0 0 2 5】

導体層 1 2 の上面は平坦化されており、下面は一部において半導体基板 1 の主面の不純物導入層へ電氣的に接続されている。半導体基板 1 の主面のうち、導体層 1 2 と電氣的に接続すべき部位には、シリサイド膜 (半導体金属化合物膜) 4 が形成されている。また、導体層 1 2 と半導体基板 1 とを電氣的に絶縁すべき部位には、絶縁膜 1 0 が形成されている。

【0 0 2 6】

配線 1 5 は、絶縁膜 1 4 を挟んで導体層 1 2 の上面に対向するように配設され

ている。配線15の上には上部絶縁膜16および18が形成されている。また、絶縁膜14、配線15、および上部絶縁膜16、18の側面には、絶縁体のサイドウォール17が形成されている。すなわち、配線15は、その延在方向に沿った断面において絶縁体に包囲されている。配線15とその周囲を覆う絶縁体とを埋め込み、導体層12の上面を覆うように導体層19が形成されている。導体層19の材料は、導体層12と同様にアルミニウムを主成分とする金属である。

【0027】

導体層19の上面は平坦化されており、下面は導体層12の上面に一体的に連結している。したがって、配線15の延在方向に垂直な断面において、配線15の周囲は、絶縁体を挟んで導体層12、19に途切れなく覆われている。導体層12および19は、半導体装置101の電源線のうちの一方に接続されている。すなわち、半導体装置101には図示しない一对の電源入力端子が形成されており、導体層12および19は、それらの一方に接続されている。導体層12および19は、好ましくは接地電位を伝達する接地線である。

【0028】

導体層12には、導体15の延在方向に沿った一部の直下に、コンタクトホール24が形成されている。このコンタクトホール24の内側には、その側壁面を覆う側面絶縁膜11と、この側面絶縁膜11を挟んでコンタクトホール24に充填された導電プラグ13とが形成されている。導電プラグ13は、導体15の下面に接続され、さらに半導体基板1の主面の不純物導入層2へシリサイド膜4を介して電氣的に接続されている。すなわち、導体15は、導電プラグ13を通じて半導体基板1へ電氣的に接続されている。

【0029】

各要素に関し、材料および寸法の一例を以下に列挙する。寸法の値はいずれも概略値である。半導体基板1は、P型のシリコン基板であり、不純物導入層2は N^+ 拡散層である。絶縁膜3は、厚さ300nmのTEOS (tetraethyl orthosilicate) 膜またはHTO (high temperature oxide; 高温熱CVD酸化物) 膜である。シリサイド膜4の材料は、 $CoSi$ または $TiSi$ である。絶縁膜5は、厚さ3nmの熱酸化膜(SiO_2)または熱窒化酸化膜($SiON$)である。

配線 6 は、幅 1 0 0 n m、厚さ 2 0 0 n m のポリシリコン膜である。上部絶縁膜 7 は、厚さ 1 0 0 n m の T E O S 膜である。

【 0 0 3 0 】

サイドウォール 8 は厚さ 5 0 n m の窒化膜 (Si_3N_4) であり、上部絶縁膜 9 は厚さ 1 0 0 n m の窒化膜 (Si_3N_4) である。絶縁膜 1 0 および側面絶縁膜 1 1 は T E O S 膜である。導体層 1 2 の厚さは、5 0 0 n m である。導電プラグ 1 3 の材料は、ポリシリコンである。絶縁膜 1 4 は、厚さ 1 0 0 n m の T E O S 膜である。配線 1 5 は、幅 1 0 0 n m、厚さ 2 0 0 n m のアルミニウムを主成分とする金属膜である。上部絶縁膜 1 6 は厚さ 1 0 0 n m の T E O S 膜である。サイドウォール 1 7 は、厚さ 5 0 n m の窒化膜 (Si_3N_4) である。上部絶縁膜 1 8 は、厚さ 1 0 0 n m の窒化膜 (Si_3N_4) である。導体層 1 9 の厚さは、5 0 0 n m である。

【 0 0 3 1 】

(製造方法)

図 2 ～図 1 3 は、半導体装置 1 0 1 の好ましい製造方法を示す製造工程図である。なお、以下の説明において、製造条件に関する数値はいずれも概略値である。半導体装置 1 0 1 を製造するには、図 2 の工程がはじめに実行される。図 2 の工程では、まず P 型のシリコン基板である半導体基板 1 が準備される。つぎに、選択的エッチングを用いることにより、素子分離領域のパターン（分離パターン）にしたがって、半導体基板 1 の主面に深さ 3 0 0 n m の溝が選択的に形成される。つづいて、この溝に T E O S または H T O などの酸化膜が、絶縁膜 3 として埋設されることにより、トレンチ分離構造 (S T I) をなす素子分離領域が形成される。その後、半導体基板 1 の主面に、ウェル注入、素子分離注入、およびチャネル注入が行われ、さらに注入された不純物の活性化等のための熱処理が行われる（図示を略する）。これらウェル注入、素子分離注入、およびチャネル注入は従来周知の工程であるので、その詳細な説明は略する。

【 0 0 3 2 】

つぎに図 3 の工程において、酸化処理を施すことにより、半導体基板 1 の主面に厚さ 3 n m の酸化膜 (SiO_2) が絶縁膜 5 として形成される。

【0033】

つづく図4の工程では、まず、厚さ200nmのポリシリコン膜、厚さ100nmのTEOS膜、および厚さ100nmの窒化膜(Si_3N_4)が、絶縁膜5の上に順に堆積される。その後、ゲートマスクを用いた選択的エッチングを施すことにより、配線6および上部絶縁膜7, 9の三層構造体が形成される。

【0034】

つぎの図5の工程では、まず、半導体基板1を覆うように窒化膜(Si_3N_4)が堆積される。この窒化膜は、三層構造体が埋まるほどに堆積される。その後、堆積された窒化膜がエッチバックされ、それにより三層構造体の側面を覆うサイドウォール8が形成される。このとき、三層構造体およびサイドウォール8に覆われない絶縁膜5の部分も、同時に除去される。

【0035】

つぎの図6の工程では、まず、サイドウォール8を含む三層構造体を遮蔽体として用いて、N型不純物をイオン注入することにより、半導体基板1の露出する主面に不純物導入層2が形成される。導入されたN型不純物は、その後の熱処理によって活性化される。熱処理は、加熱炉(ファーンネス)を用いて850°Cおよび30分の条件、またはRAT(ランプアニール装置)を用いて1000°Cおよび30秒の条件の下で行われる。

【0036】

つづく図7の工程では、半導体基板1の露出する主面にコバルト(Co)を堆積し、RATを用いて600°Cの加熱処理が行われる。その結果、 CoSi がシリサイド膜4として、不純物導入層2の表面に形成される。

【0037】

つぎの図8の工程では、半導体基板1の主面を覆うようにTEOS膜が堆積され、その後マスクを用いることにより選択的にエッチングされる。これにより、半導体基板1の主面のうち、後の工程で形成される導体層12が接続されない部位が、絶縁膜10で覆われる。

【0038】

つぎの図9の工程では、まず半導体基板1の主面を覆うように、アルミニウム

が堆積される。その後、CMP（化学的機械的研磨）を用いることにより、アルミニウム層の上面が平坦化され、厚さ500nmの導体層12が形成される。CMPは、導体層12から上面絶縁膜9が露出しないように行われる。

【0039】

つづく図10の工程では、まず導体層12の上面の上に、100nmの厚さのTEOS膜が絶縁膜14として堆積される。その後、コンタクトマスクを用いた選択的エッチングを実行することにより、絶縁膜14の上面から導体層12および絶縁膜10を貫通してシリサイド膜4に到達するコンタクトホール24が、絶縁膜14、導体層12および絶縁膜10に選択的に形成される。コンタクトホール24は、不純物導入層2の一部の直上に形成される。

【0040】

つぎの図11の工程では、まず厚さ20nmのTEOS膜が、コンタクトホール24の内側および絶縁膜14の上に堆積される。その後、エッチバックが行われることにより、コンタクトホール24の側壁面を覆う側面絶縁膜11が形成される。つづいて、側面絶縁膜11の内側を埋め、絶縁膜14を覆うように、ポリシリコンが堆積される。その後、絶縁膜14が露出するまでCMPを実行することにより、絶縁膜14の上のポリシリコンが除去されるとともに、コンタクトホール24に側面絶縁膜11を挟んで充填されたポリシリコンの上面が、絶縁膜14の上面とともに平坦化される。コンタクトホール24に充填されたポリシリコンは、導電プラグ13となる。

【0041】

つづく図12の工程では、まず厚さ200nmのアルミニウム膜、厚さ50nmのTEOS膜、および厚さ100nmの窒化膜（ Si_3N_4 ）が順に、絶縁膜14と導電プラグ13との上に堆積される。その後、マスクを用いた選択的エッチングを施すことにより、配線15および上部絶縁膜16、18の三層構造体が形成される。

【0042】

つぎの図13では、まず、導体層12の上面を覆うように窒化膜（ Si_3N_4 ）が堆積される。この窒化膜は、三層構造体が埋まるほどに堆積される。その後、

堆積された窒化膜がエッチバックされ、それにより三層構造体の側面を覆うサイドウォール 1 7 が形成される。このとき、三層構造体およびサイドウォール 1 7 に覆われない絶縁膜 1 4 の部分も同時に除去される。その結果、導体層 1 2 の上面が選択的に露出する。

【 0 0 4 3 】

つぎに図 1 へ戻って、まず導体層 1 2 の上面を覆うように、アルミニウムが堆積される。その後、CMP（化学的機械的研磨）を用いることにより、アルミニウム層の上面が平坦化され、厚さ 5 0 0 n m の導体層 1 9 が形成される。CMP は、導体層 1 9 から上面絶縁膜 1 8 が露出しないように行われる。以上の工程を通じて、図 1 の半導体装置 1 0 1 が完成する。

【 0 0 4 4 】

なお、以上に示した各要素の材料及び寸法は一例であり、他の材料及び寸法を用いることも当然可能である。例えば、半導体基板 1 として、シリコン基板以外の半導体基板を用いることも、一般には可能である。

【 0 0 4 5 】

（実施の形態 1 の利点）

以上に述べたように、半導体装置 1 0 1 では、信号伝達配線である配線 1 5 の周囲が、その延在方向に沿った断面において、絶縁体を挟んで導体層 1 2 および 1 9 によって途切れなく覆われている。このため、配線 1 5 と他の配線（例えば、横に隣接する配線 1 5、または下方に隣接する配線 6）との間での雑音排除特性が、図 3 1 ～図 3 3 に示したいずれの配線構造に比べても向上する。

【 0 0 4 6 】

また、同じく信号伝達配線である配線 6 の上面と側面とが、その延在方向に沿った断面において、絶縁体を挟んで導体層 1 2 によって途切れなく覆われ、導体層 1 2 は半導体基板 1 に接続されている。このため、配線 6 と他の配線（例えば、横に隣接する配線 6、または上方に隣接する配線 1 5）との間での雑音排除特性が、図 3 1 ～図 3 3 に示したいずれの配線構造に比べても向上する。

【 0 0 4 7 】

さらに、導体層 1 2 および 1 9 は、配線 6、1 5 が埋設されるように形成され

、配線 6, 15 と同様のパターニングを必要としないので、パターニングを要する図 3 3 に示した同軸遮蔽配線構造とは異なり、半導体装置 1 0 1 に作り込まれる素子の微細化を阻害しない。さらに、導体層 1 2 および 1 9 と半導体基板 1 との電氣的接続を実現するのに、コンタクトホール形成を要しないので、製造工程が簡素化される。このように、半導体装置 1 0 1 およびその製造方法は、配線の雑音排除特性の向上を、微細化の促進および製造工程の簡素化と両立して実現する。

【 0 0 4 8 】

また、半導体装置 1 0 1 を製造するための上記した方法では、導体層 1 2 の上面が平坦に形成されるので、導体層 1 2 の上にさらに上層の配線 1 5 を容易に形成することができる。また、導体層 1 9 の上面が平坦であるので、図示しない第 3 層の配線を、導体層 1 9 の上に配設することも容易である。さらに、完成した半導体装置 1 0 1 においても、導体 1 2, 1 9 が配線 6, 1 5 の周囲のみを覆うのではなく、上面が平坦な導体層 1 2, 1 9 の中に配線 6, 1 5 が埋設されているので、これらの配線 6, 1 5 どちらの雑音排除特性がさらに高められる。

【 0 0 4 9 】

実施の形態 2.

(装置の構成)

図 1 4 は、本発明の実施の形態 2 による半導体装置の正面断面図である。この半導体装置 1 0 2 は、下層配線としての複数の配線 6 および上層配線としての複数の配線 6 5 を覆う導体層 6 2 および 6 9 が、銅を主成分とする金属（銅そのものをも含む）である点において、実施の形態 1 の半導体装置 1 0 1（図 1）とは、特徴的に異なっている。配線 6 5 は、半導体装置 1 0 1 の配線 1 5 と同様に、1 G H z 以上の高周波電気信号を伝達可能に構成されている。

【 0 0 5 0 】

配線 6 5 は、絶縁膜 6 4 を挟んで導体層 2 2 の平坦な上面に対向するように配設されている。配線 6 5 の上には上部絶縁膜 6 6 が形成されている。また、絶縁膜 6 4、配線 6 5、および上部絶縁膜 6 6 の側面には、絶縁体のサイドウォール 6 7 が形成されている。すなわち、配線 6 5 は、その延在方向に沿った断面にお

いて絶縁体に包囲されている。導体層 6 9 は、配線 6 5 とその周囲を覆う絶縁体とを埋め込み、導体層 6 2 の上面を覆うように形成されている。

【0051】

導体層 6 9 の上面は平坦化されており、下面は導体層 6 2 の上面に一体的に連結している。したがって、配線 6 5 の延在方向に垂直な断面において、配線 6 5 の周囲は、絶縁体を挟んで導体層 6 2、6 9 に途切れなく覆われている。導体層 6 2 および 6 9 は、半導体装置 1 0 2 の電源線のうち的一方に接続されている。すなわち、半導体装置 1 0 2 には、半導体装置 1 0 1 と同様に、図示しない一对の電源入力端子が形成されており、導体層 6 2 および 6 9 は、それらの一方端子、好ましくは接地電位が入力される端子に接続されている。

【0052】

導体層 1 2 には、導体 1 5 の延在方向に沿った一部の直下に、コンタクトホール 7 4 が形成されている。このコンタクトホール 7 4 の内側には、その側壁面を覆う側面絶縁膜 6 1 と、この側面絶縁膜 6 1 を挟んでコンタクトホール 7 4 に充填された導電プラグ 6 3 とが形成されている。導電プラグ 6 3 は、導体 6 5 の下面に接続され、さらに半導体基板 1 の主面の不純物導入層 2 ヘシリサイド膜 4 を介して電氣的に接続されている。すなわち、導体 6 5 は、導電プラグ 6 3 を通じて半導体基板 1 へ電氣的に接続されている。

【0053】

半導体装置 1 0 1 (図 1) にない各要素に関し、材料および寸法の一例を以下に列挙する。寸法の値はいずれも概略値である。半導体装置 1 0 1 (図 1) における絶縁膜 1 0 および側壁絶縁膜 1 1 に代わる絶縁膜 6 0 および側面絶縁膜 6 1 は、窒化膜 (Si_3N_4) である。導体層 6 2 の厚さは 500 nm である。導電プラグ 6 3 の材料は銅を主成分とする金属である。絶縁膜 6 4 は窒化膜 (Si_3N_4) である。配線 6 5 は、幅 100 nm、厚さ 200 nm の銅を主成分とする金属膜である。上部絶縁膜 6 6 は厚さ 200 nm の TEOS 膜である。サイドウォール 6 7 は、厚さ 50 nm の窒化膜 (Si_3N_4) である。導体層 6 9 の厚さは 500 nm である。

【0054】

(製造方法)

図 1 5 ～ 図 2 7 は、半導体装置 1 0 2 の好ましい製造方法を示す製造工程図である。なお、以下の説明において、製造条件に関する数値はいずれも概略値である。半導体装置 1 0 2 を製造するには、図 2 ～ 図 7 の工程がはじめに実行され、その後図 1 5 の工程が実行される。図 1 5 の工程では、半導体基板 1 の主面を覆うように窒化膜 (Si_3N_4) が堆積され、その後マスクを用いることにより選択的にエッチングされる。これにより、半導体基板 1 の主面のうち、後の工程で形成される導体層 6 2 が接続されない部位が、絶縁膜 6 0 で覆われる。

【 0 0 5 5 】

つづく図 1 6 の工程では、まず半導体基板 1 の主面を覆うように、TEOS 層が堆積される。その後、CMP を用いることにより、TEOS 層の上面が平坦化され、厚さ 5 0 0 n m の TEOS 層 7 2 が犠牲層 (型として利用されるために形成され、後の工程で除去される層を、本明細書では犠牲層と仮称する) として形成される。CMP は、TEOS 層 7 2 から上面絶縁膜 9 が露出しないように行われる。

【 0 0 5 6 】

つぎの図 1 7 の工程では、コンタクトホールのパジマスクを用いた選択的エッチングを行うことにより、TEOS 層 7 2 がパターニングされる。その結果、不純物導入層 2 の一部の直上に柱状部を残して TEOS 層 7 2 が除去される。

【 0 0 5 7 】

つぎの図 1 8 の工程では、まず半導体基板 1 の主面を覆い、かつ上部絶縁膜 9 が埋まるように、銅が堆積される。その後、CMP を用いることにより、銅層の上面と柱状の TEOS 層 7 2 の上面とが平坦化され、厚さ 5 0 0 n m の導体層 6 2 が形成される。CMP は、導体層 6 2 から上面絶縁膜 9 が露出しないように行われる。

【 0 0 5 8 】

つぎの図 1 9 の工程では、まず TEOS 層 7 2 およびその直下の絶縁膜 6 0 が除去されることにより、導体層 6 2 にコンタクトホール 7 4 が形成される。コンタクトホール 7 4 は、不純物導入層 2 の一部の直上に形成されて、シリサイド膜

4を露出させる。その後、窒化膜(Si_3N_4)が、コンタクトホール74の内側および導体層62の上に堆積される。その後、エッチバックが行われることにより、コンタクトホール74の側壁面を覆う側面絶縁膜61が形成される。

【0059】

つづく図20の工程では、側面絶縁膜61の内側を埋め、導体層62の上面を覆うように、銅が堆積される。その後、導体層62の上面および側面絶縁膜61の上端縁が露出するまでCMPを実行することにより、導体層62の上面、側面絶縁膜61の上端縁、およびコンタクトホール74に側面絶縁膜61を挟んで充填された銅層の上面が、平坦化される。コンタクトホール74に充填された銅層は、導電プラグ63となる。

【0060】

つぎに図21の工程において、まず導体層62の上面の上、側面絶縁膜61の上端縁の上、および導電プラグ63の上面の上に、窒化膜64が堆積される。その後、コンタクトマスクを用いた選択的エッチングを実行することにより、窒化膜のうち、コンタクトホール74の直上の部分が選択的に除去される。つづいて、再び窒化膜が堆積され、さらにエッチバックされることにより、導電プラグ63の上面に開口する窒化膜の環状の側壁部が形成される。導電プラグは、この環状の側壁部に囲まれた部位において露出する。

【0061】

つづく図22の工程では、いわゆるダマシンプロセスを用いることにより導体層65が形成される。すなわち、まず犠牲層としてのTEOS層71が、絶縁膜64と導電プラグ63との上に堆積される。その後、マスクを用いた選択的エッチングを施すことにより、TEOS層71のうち配線65が形成されるべき部位に溝75が形成される。溝75は、導電プラグ63の上記した露出部が露出するように形成される。つづいて、溝75を充填するように銅が堆積された後、堆積された銅の上面とTEOS層71の上面とが、CMPを用いて平坦化される。これにより、溝75に配線65が形成される。配線65は導電プラグ63に一体的に連結する。

【0062】

つづく図 2 3 の工程では、まず T E O S 膜、および窒化膜 (Si_3N_4) が、T E O S 層 7 1 および配線 6 5 の上に順に堆積される。その後、マスクを用いた選択的エッチングを施すことにより、配線 6 5 の上に上部絶縁膜 6 6 および窒化膜 7 6 が形成される。このとき、同時に T E O S 層 7 1 が除去される。

【 0 0 6 3 】

つぎの図 2 4 の工程では、導体層 6 2 の上面を覆うように窒化膜 (Si_3N_4) が堆積される。この窒化膜は、窒化膜 7 6 が埋まるほどの厚さに堆積される。その後、堆積された窒化膜がエッチバックされる。このとき、窒化膜 7 6 が同時に除去される。それにより、配線 6 5 および上部絶縁膜 6 6 の側面を覆うサイドウォール 6 7 が形成される。このとき、配線 6 5 およびサイドウォール 6 7 に覆われない絶縁膜 6 4 の部分も同時に除去される。その結果、導体層 6 2 の上面が選択的に露出する。

【 0 0 6 4 】

つぎの図 2 5 の工程では、まず導体層 6 2 の上面を覆うように、銅が堆積される。その後、CMP を用いることにより、銅層の上面が平坦化され、厚さ 5 0 0 n m の導体層 6 9 が形成される。CMP は、導体層 6 9 から上面絶縁膜 6 6 が露出しないように行われる。

【 0 0 6 5 】

つぎに、好ましくは図 2 6 が示すように、導体層 6 9 の上に、窒化膜 (Si_3N_4) である絶縁膜 7 0 が堆積される。以上の工程を通じて、図 1 4 の半導体装置 1 0 2 が完成する。

【 0 0 6 6 】

(実施の形態 2 の利点)

半導体装置 1 0 2 およびその製造方法においても、半導体装置 1 0 1 およびその製造方法と同様の効果が得られる。さらに、導体層 6 2, 6 9 の材料として、電気抵抗率の低い銅を主成分とする金属が用いられるので、同一の寸法で比較したときに、雑音排除特性がさらに向上する。

【 0 0 6 7 】

特に半導体装置 1 0 2 を製造するための上記した方法は、いわゆるダマシンプ

プロセスを採用することにより、導体層 6 2, 6 9 の材料に銅を主成分とする金属を用いることを可能にしている。特に、配線 6 を包囲する絶縁体のうち、表面に露出しているサイドウォール 8 と上部絶縁膜 9 とが互いに同一の材料（窒化物）であるので、犠牲層としてそれとは異なる材料である T E O S 層 7 2 を用い、図 1 7 の工程において、配線 6 を包囲する絶縁体に損傷を与えることなく、T E O S 層 7 2 をパターニングすることが可能である。すなわち、コンタクトホール 7 4 の形成が可能となる。

【 0 0 6 8 】

導体 6 9 の上に、さらに第 3 層の配線を配設し、第 3 層の配線と第 2 層の配線 6 5 とを電氣的に接続するためのコンタクトホールを導体 6 9 に形成するためには、配線 6 5 を包囲する絶縁体に対しても、その表面を同一の材料とするとよい。図 2 7 ～図 3 0 はこの目的に適した製造方法を示す製造工程図である。図 2 7 ～図 3 0 の工程は、図 2 3 ～図 2 6 の工程に代えて実行される。図 2 7 では、図 2 3 の工程に比べて、T E O S 層 7 1 の上の窒化膜 7 6 が厚く形成される。その結果、つぎの図 2 8 の工程で、窒化膜を堆積させ、さらにエッチバックされるときに、窒化膜 7 6 の一部が除去されずに上部絶縁膜 7 5 として T E O S 層 7 1 の上に残留する。したがって、つぎの図 2 9 の工程で導体層 6 9 が形成され、さらに図 3 0 の工程で絶縁膜 7 0 が形成されることにより得られる、完成後の半導体装置 1 0 2 にも上部絶縁膜 7 5 はそのまま残る。

【 0 0 6 9 】

【発明の効果】

第 1 の発明による装置では、第 1 配線の周囲が、その延在方向に沿った断面において、絶縁体を挟んで導体層によって途切れなく覆われている。このため、導体層を電源線（接地線を含む）として用いることにより、第 1 配線へ侵入する雑音、および第 1 配線から放出される雑音を従来の装置に比べて低く抑えることができる。また導体層は、第 1 配線を埋め込むように形成すればよいので、素子の微細化が阻害されない。さらに導体層と半導体基板との電氣的接続を実現するのに、コンタクトホールの形成を要しないので、製造工程が簡素化される。このように、配線の雑音排除特性の向上が、微細化の促進および製造工程の簡素化と両

立して達成される。

【 0 0 7 0 】

第 2 の発明による装置では、第 2 配線の上面と側面とが、その延在方向に沿った断面において、絶縁体を挟んで導体層によって途切れなく覆われ、導体層は半導体基板に接続されている。このため、導体層を電源線（接地線を含む）として用いることにより、第 2 配線へ侵入する雑音、第 2 配線から放出される雑音、および第 1 配線と第 2 配線の間で影響し合う雑音を従来の装置に比べて低く抑えることができる。

【 0 0 7 1 】

第 3 の発明による装置では、導体層の上面が平坦であるので、本装置を半導体プロセスの中での中間生成物として用いて、導体層の上にさらに上層の配線を配設することが容易に行い得る。

【 0 0 7 2 】

第 4 の発明による装置では、導体層が電源線（接地線を含む）として形成されているので、第 1 および第 2 配線へ侵入する雑音、第 1 および第 2 配線から放出される雑音、および第 1 配線と第 2 配線の間で影響し合う雑音が、従来の装置に比べて低く抑えられる。

【 0 0 7 3 】

第 5 の発明による装置では、導体層が第 2 配線の延在方向に交差する断面において、第 2 絶縁体と絶縁膜とを挟んで半導体基板と共同で第 2 配線の周囲を途切れなく覆うので、第 2 配線に対する雑音排除特性がさらに向上する。

【 0 0 7 4 】

第 6 の発明による装置では、導体層に貫通孔と導体プラグが設けられるので、従来周知の半導体装置と同様に、製造工程上の困難を伴うことなく、上層に位置する第 1 配線を半導体基板に接続することができる。

【 0 0 7 5 】

第 7 の発明による装置では、第 2 絶縁体のうち、第 2 配線の上面と側面とを覆いかつ導体層に接する部分が同一の材料で構成されるので、ダマシンプロセスを用いて導体層を形成する場合に、上層の配線と半導体基板との接続のためのコン

タクトホールを、導体層に容易に形成することが可能である。

【 0 0 7 6 】

第 8 の発明による装置では、第 1 絶縁体のうち、第 1 配線の上面と側面とを覆いかつ導体層に接する部分が同一の材料で構成されるので、ダマシンプロセスを用いて導体層を形成する場合に、第 1 配線と上層の配線との接続のためのコンタクトホールを、導体層に容易に形成することが可能である。

【 0 0 7 7 】

第 9 の発明による製造方法では、第 1 の発明による半導体装置を、膜形成、パターニング等の従来周知の半導体プロセスを組み合わせることにより、容易に製造することができる。

【 0 0 7 8 】

第 1 0 の発明による製造方法では、第 1 の発明による半導体装置を、膜形成、パターニング等の従来周知の半導体プロセスを組み合わせることにより、特にダマシンプロセスを採用することにより、容易に製造することができる。したがって、導体層の材料として、銅を主成分とする金属を用いるのに適している。

【 0 0 7 9 】

第 1 1 の発明による製造方法では、第 2 の発明による半導体装置を、膜形成、パターニング等の従来周知の半導体プロセスを組み合わせることにより、容易に製造することができる。

【 0 0 8 0 】

第 1 2 の発明による製造方法では、第 2 の発明による半導体装置を、膜形成、パターニング等の従来周知の半導体プロセスを組み合わせることにより、特にダマシンプロセスを採用することにより、容易に製造することができる。

【 0 0 8 1 】

第 1 3 の発明による製造方法では、第 6 の発明による半導体装置を、膜形成、パターニング等の従来周知の半導体プロセスを組み合わせることにより、容易に製造することができる。

【 0 0 8 2 】

第 1 4 の発明による製造方法では、第 6 の発明による半導体装置を、膜形成、

パターニング等の従来周知の半導体プロセスを組み合わせることにより、特にダマシンプロセスを採用することにより、容易に製造することができる。

【 0 0 8 3 】

第 1 5 の発明による製造方法では、第 5 絶縁膜の少なくとも上面部分と第 6 絶縁膜とが同一材料であり、第 2 犠牲層がこれらとは異なる材料であるので、ダマシンプロセスを用いて第 1 導体層を形成する場合に、上層の配線と半導体基板との接続のためのコンタクトホールを、第 1 導体層に容易に形成することが可能である。

【 0 0 8 4 】

第 1 6 の発明による製造方法では、第 2 絶縁膜の少なくとも上面部分と第 3 絶縁膜とが同一材料であるので、ダマシンプロセスを用いて第 1 導体層を形成する場合に、第 1 配線と上層の配線との接続のためのコンタクトホールを、第 2 導体層に容易に形成することが可能である。

【図面の簡単な説明】

- 【図 1】 実施の形態 1 の半導体装置の正面断面図である。
- 【図 2】 図 1 の装置の製造工程図である。
- 【図 3】 図 1 の装置の製造工程図である。
- 【図 4】 図 1 の装置の製造工程図である。
- 【図 5】 図 1 の装置の製造工程図である。
- 【図 6】 図 1 の装置の製造工程図である。
- 【図 7】 図 1 の装置の製造工程図である。
- 【図 8】 図 1 の装置の製造工程図である。
- 【図 9】 図 1 の装置の製造工程図である。
- 【図 1 0】 図 1 の装置の製造工程図である。
- 【図 1 1】 図 1 の装置の製造工程図である。
- 【図 1 2】 図 1 の装置の製造工程図である。
- 【図 1 3】 図 1 の装置の製造工程図である。
- 【図 1 4】 実施の形態 2 の半導体装置の正面断面図である。
- 【図 1 5】 図 1 4 の装置の製造工程図である。

- 【図 1 6】 図 1 4 の装置の製造工程図である。
- 【図 1 7】 図 1 4 の装置の製造工程図である。
- 【図 1 8】 図 1 4 の装置の製造工程図である。
- 【図 1 9】 図 1 4 の装置の製造工程図である。
- 【図 2 0】 図 1 4 の装置の製造工程図である。
- 【図 2 1】 図 1 4 の装置の製造工程図である。
- 【図 2 2】 図 1 4 の装置の製造工程図である。
- 【図 2 3】 図 1 4 の装置の製造工程図である。
- 【図 2 4】 図 1 4 の装置の製造工程図である。
- 【図 2 5】 図 1 4 の装置の製造工程図である。
- 【図 2 6】 図 1 4 の装置の製造工程図である。
- 【図 2 7】 実施の形態 2 の変形例の半導体装置の製造工程図である。
- 【図 2 8】 図 2 7 の装置の製造工程図である。
- 【図 2 9】 図 2 7 の装置の製造工程図である。
- 【図 3 0】 図 2 7 の装置の製造工程図である。
- 【図 3 1】 従来の半導体装置に用いられる配線構造の正面断面図である。
- 【図 3 2】 従来の半導体装置に用いられる配線構造の正面断面図である。
- 【図 3 3】 従来の半導体装置に用いられる配線構造の正面断面図である。

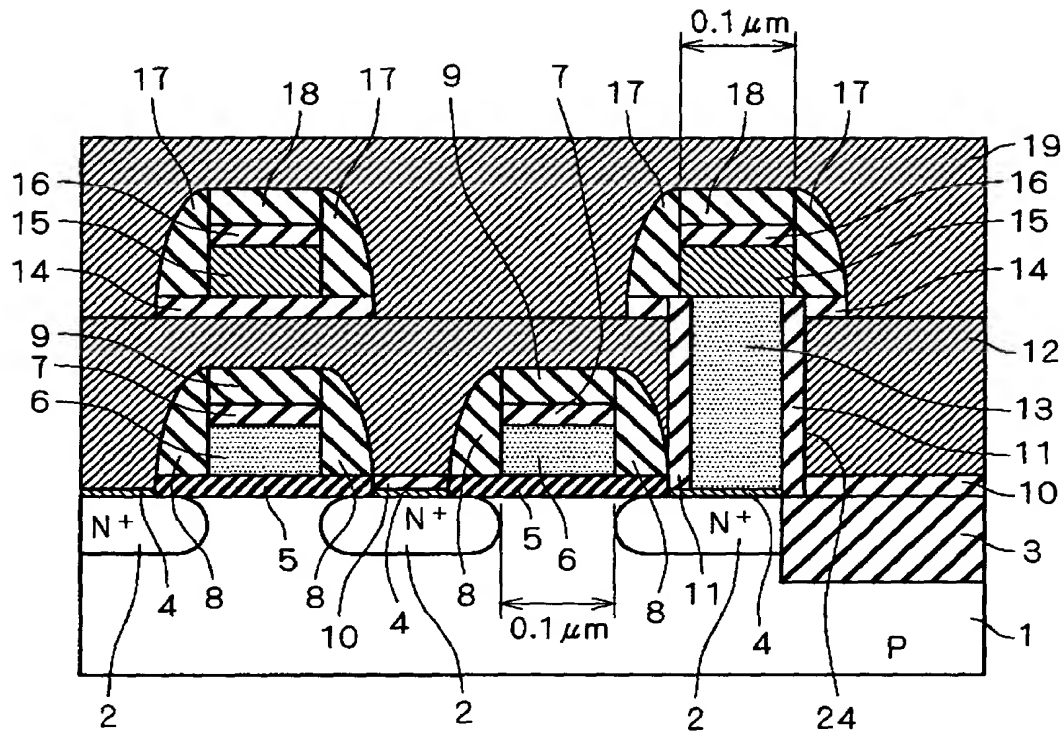
【符号の説明】

1 半導体基板、5 絶縁膜（第 4 絶縁膜）、6 第 2 配線（第 2 導電膜）、7, 9 第 2 絶縁体（第 5 絶縁膜、第 2 上部絶縁膜）、8 第 2 絶縁体（第 6 絶縁膜、第 2 サイドウォール）、11, 61 側面絶縁膜、12, 62 導体層（第 1 導体層）、13, 63 導体プラグ、14, 64 第 1 絶縁体（第 1 絶縁膜）、15 第 1 配線（第 1 導電膜）、16, 18, 66, 76 第 1 絶縁体（第 2 絶縁膜、第 1 上部絶縁膜）、17, 67 第 1 絶縁体（第 3 絶縁膜、第 1 サイドウォール）、19, 69 導体層（第 2 導体層）、24, 74 コンタクトホール（貫通孔）、65 第 1 配線（導電材）、71 TEOS 層（第 1 犠牲層）、72 TEOS 層（柱状部、第 2 犠牲層）、75 溝、101, 102 半導体装置。

【書類名】 図面

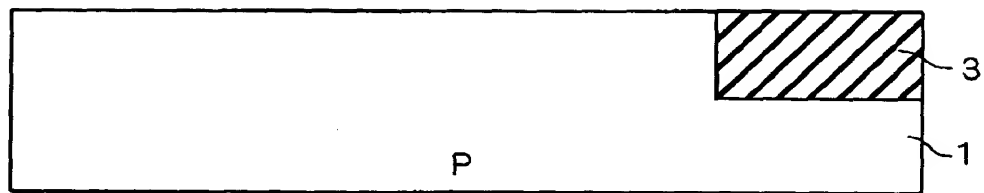
【図 1】

101

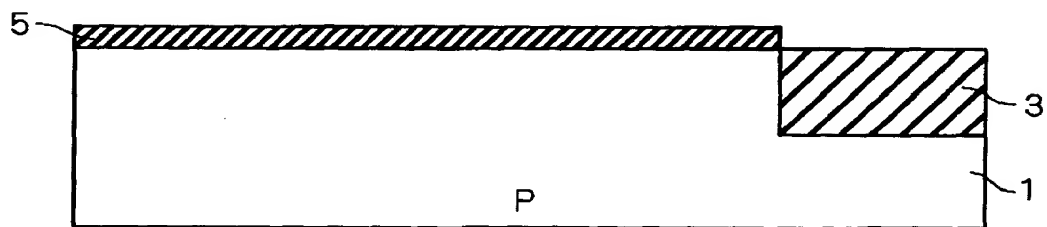


- 1 : 半導体基板
- 5 : 絶縁膜 (第 4 絶縁膜)
- 6 : 第 2 配線
- 7, 8, 9 : 第 2 絶縁体
- 11 : 側面絶縁膜
- 12 : 導体層 (第 1 導体層)
- 13 : 導体プラグ
- 14, 16, 17, 18 : 第 1 絶縁体
- 15 : 第 1 配線
- 19 : 導体層 (第 2 導体層)
- 24 : コンタクトホール (貫通孔)
- 101 : 半導体装置

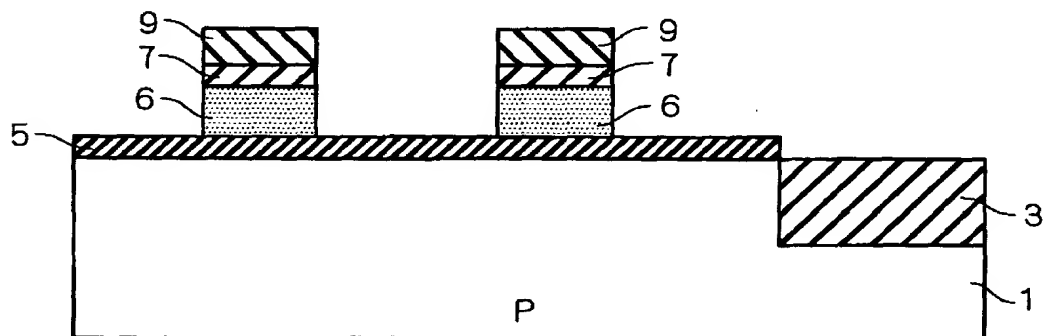
【図 2】



【図 3】

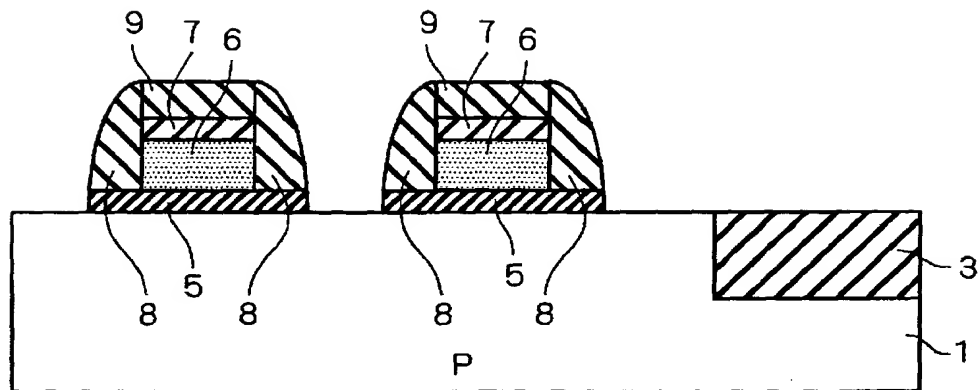


【図 4】



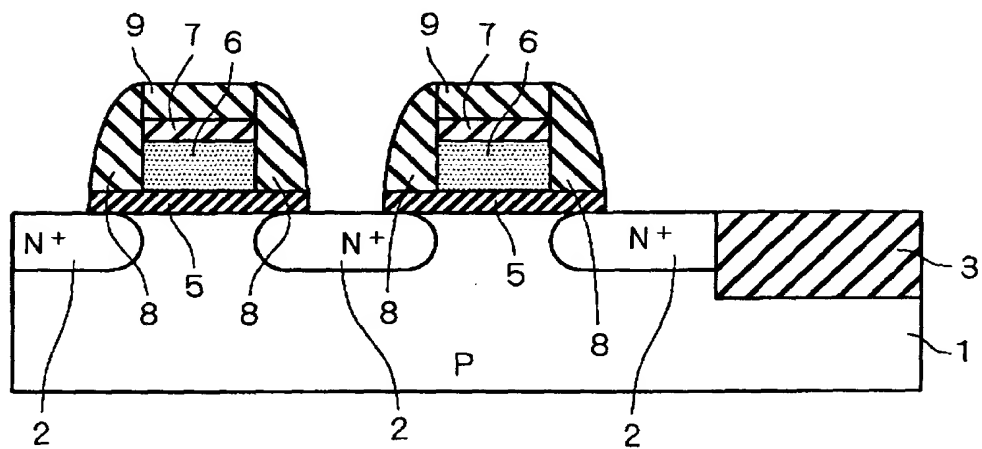
6 : 第 2 導電膜 7, 9 : 第 5 絶縁膜 (第 2 上部絶縁膜)

【図5】

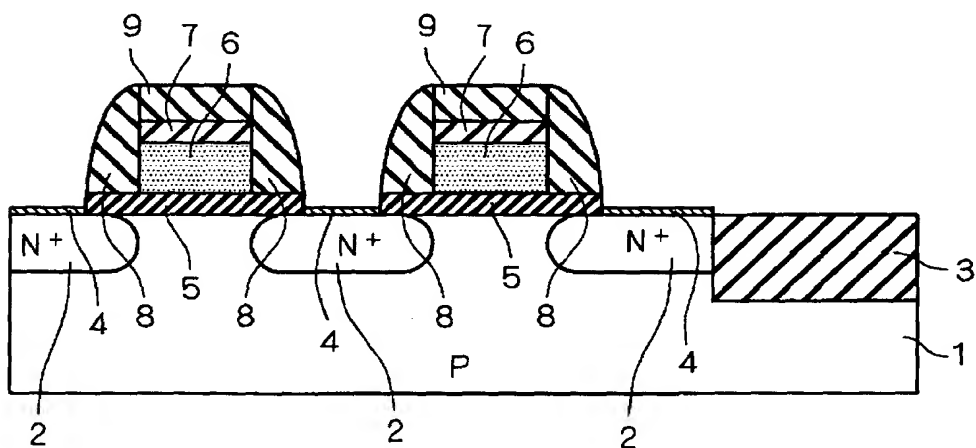


8 : 第6絶縁膜 (第2サイドウォール)

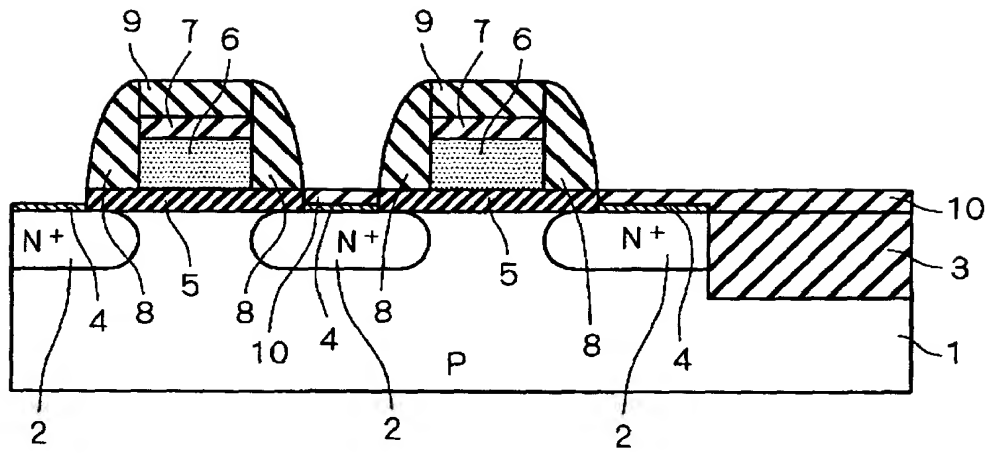
【図6】



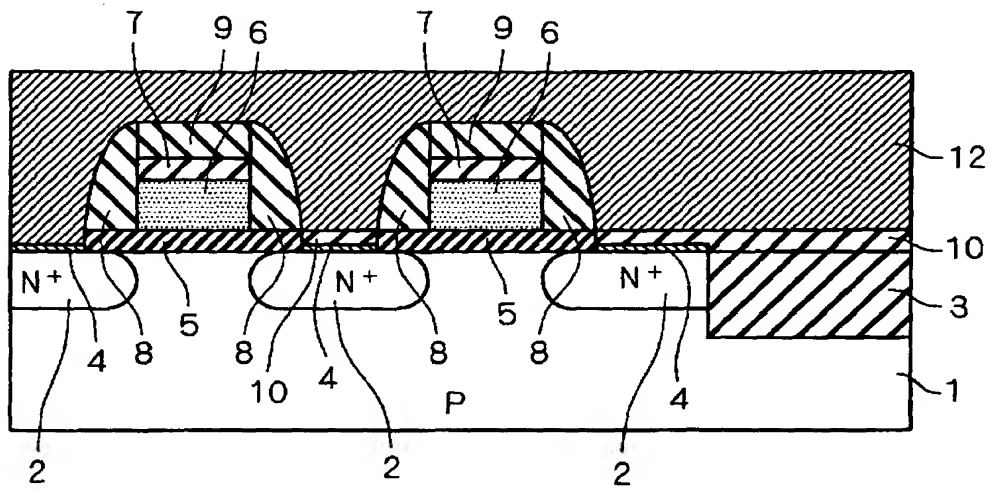
【図7】



【図8】

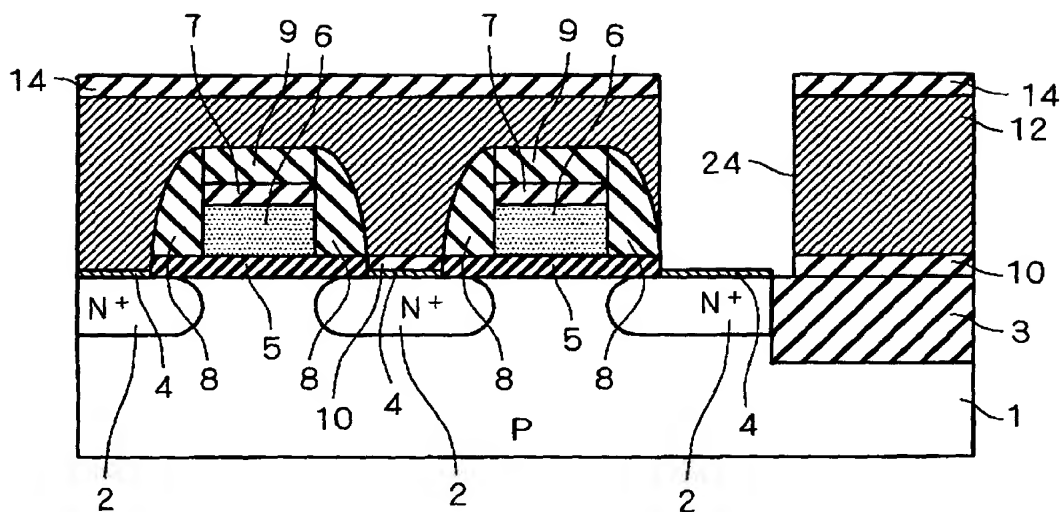


【図9】



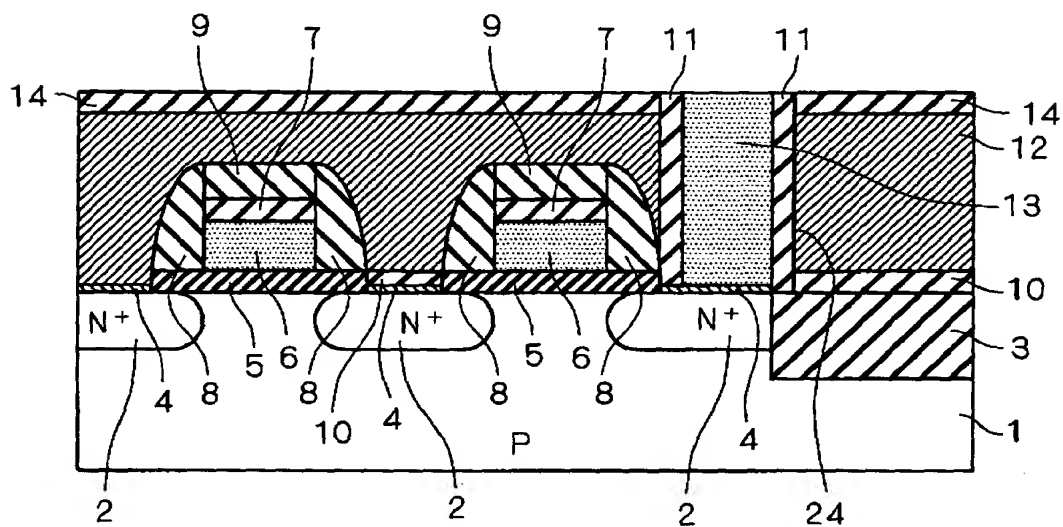
12 : 第1 導体層

【図10】

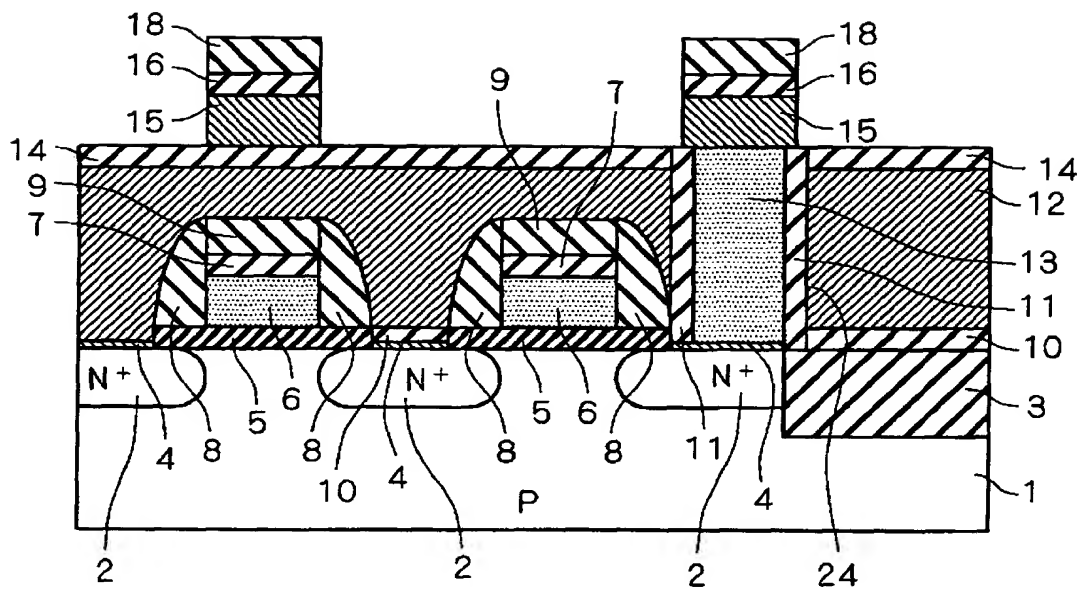


14 : 第1絶縁膜

【図11】

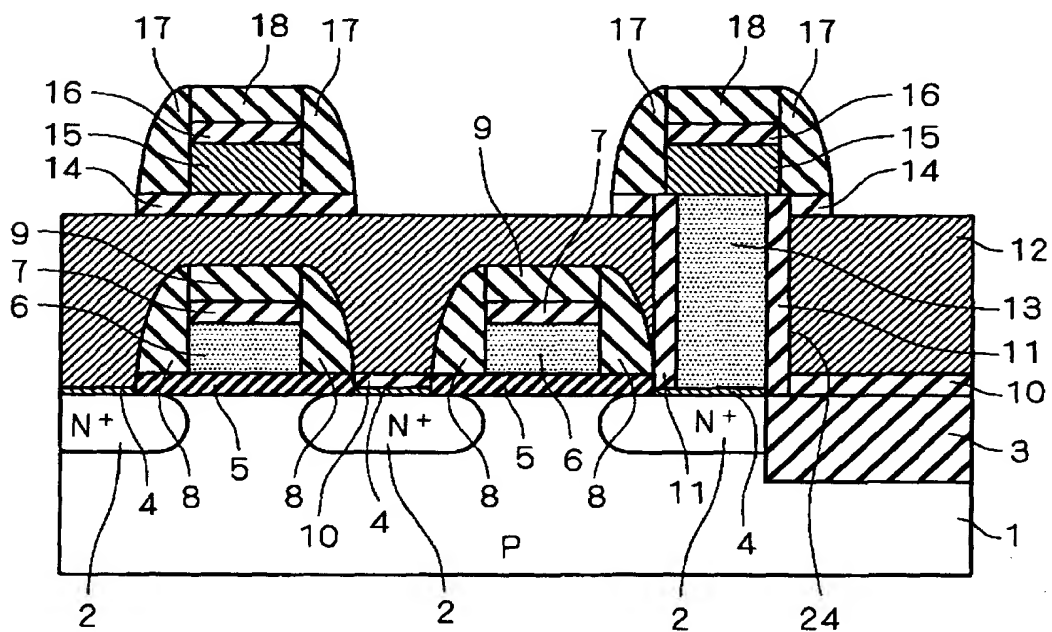


【図12】



15 : 第1導電膜 16, 18 : 第2絶縁膜 (第1上部絶縁膜)

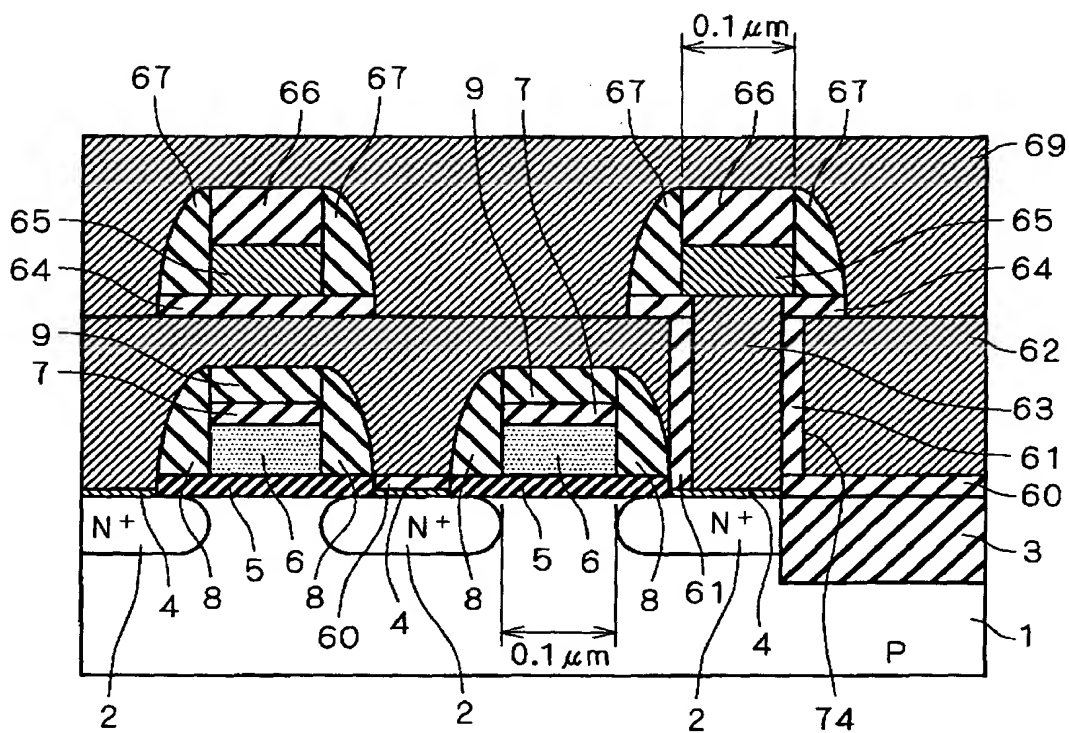
【図13】



17 : 第3絶縁膜 (第1サイドウォール)

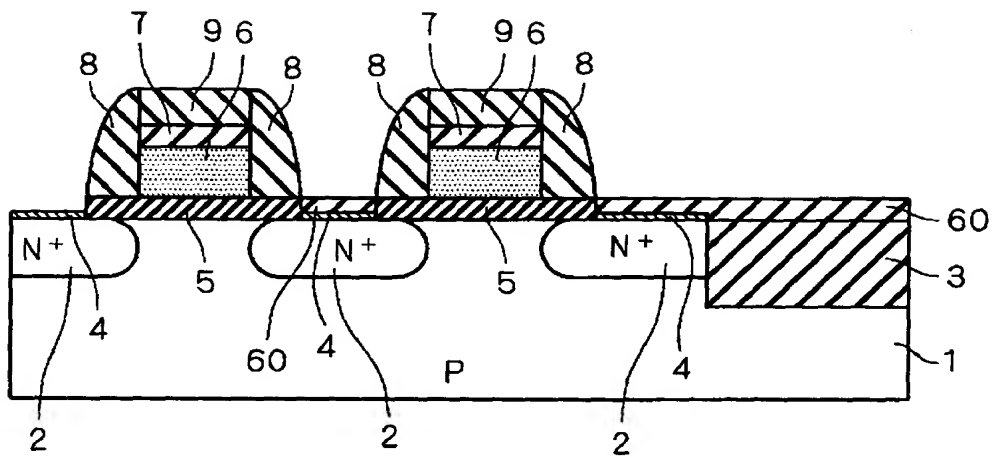
【图 14】

102

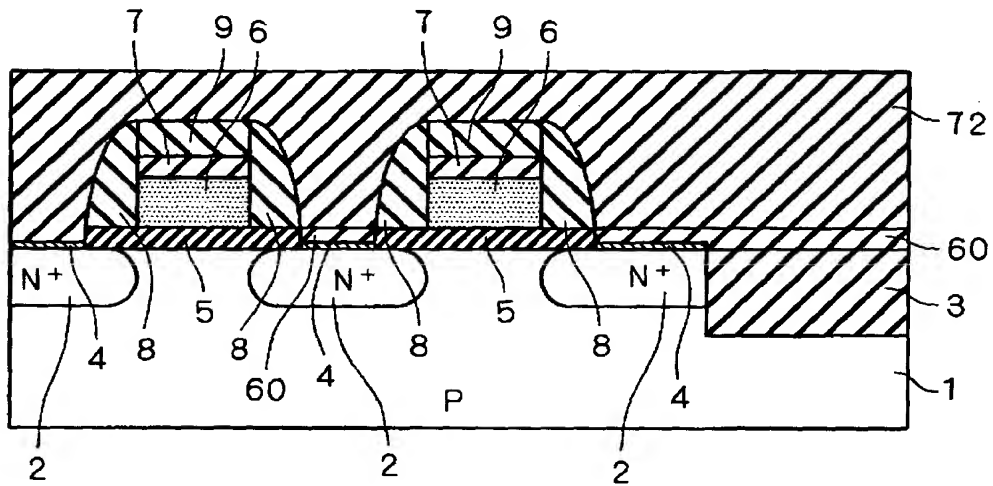


- 61 : 側面絶縁膜
62 : 導体層 (第 1 導体層)
63 : 導体プラグ
64, 66, 67 : 第 1 絶縁体
65 : 第 1 配線
69 : 導体層 (第 2 導体層)
74 : コンタクトホール (貫通孔)
102 : 半導体装置

【図15】

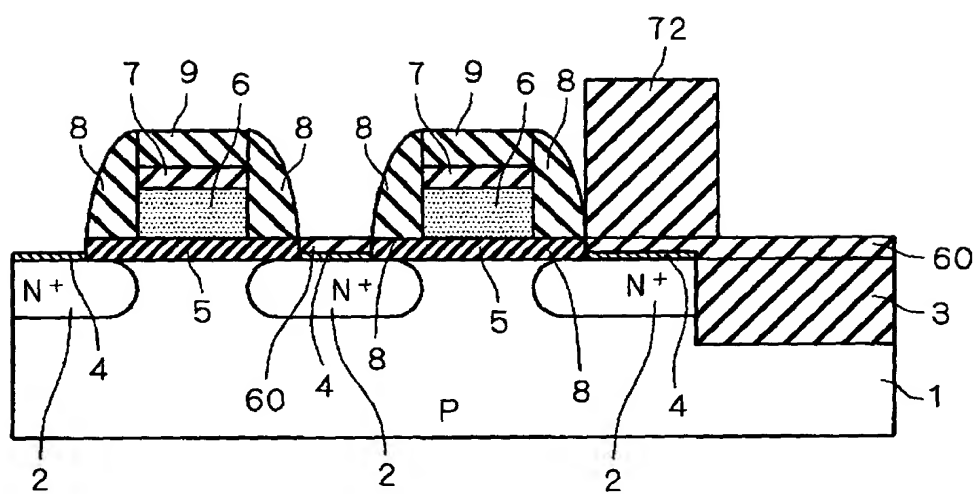


【図16】



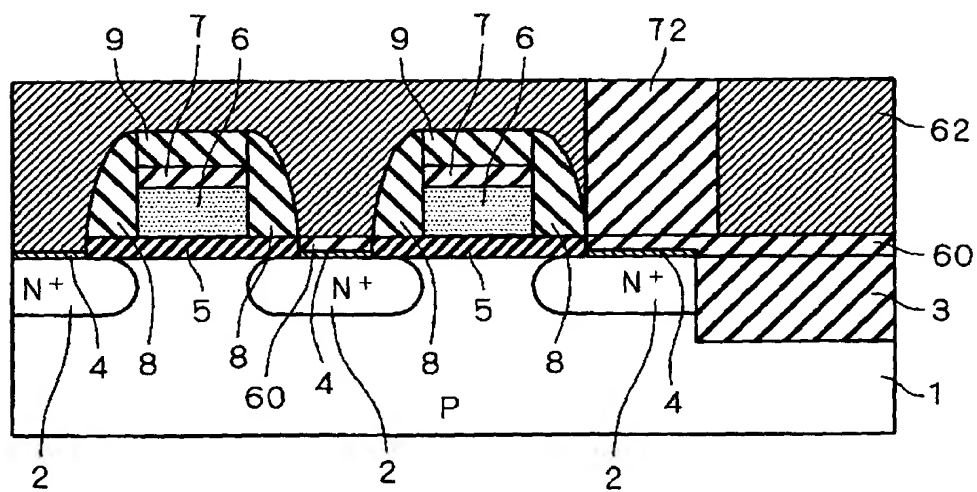
72 : TEOS層 (第2犠牲層)

【図 17】

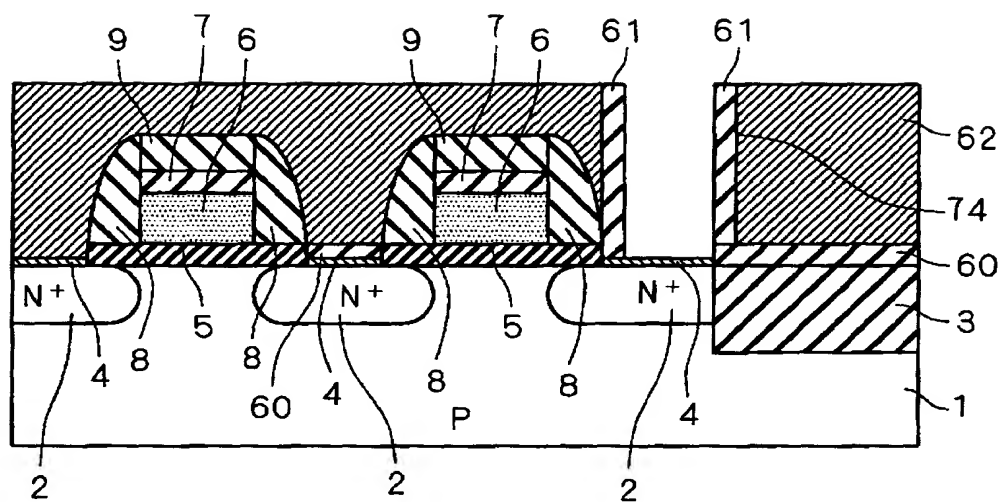


72 : TEOS層 (柱状部)

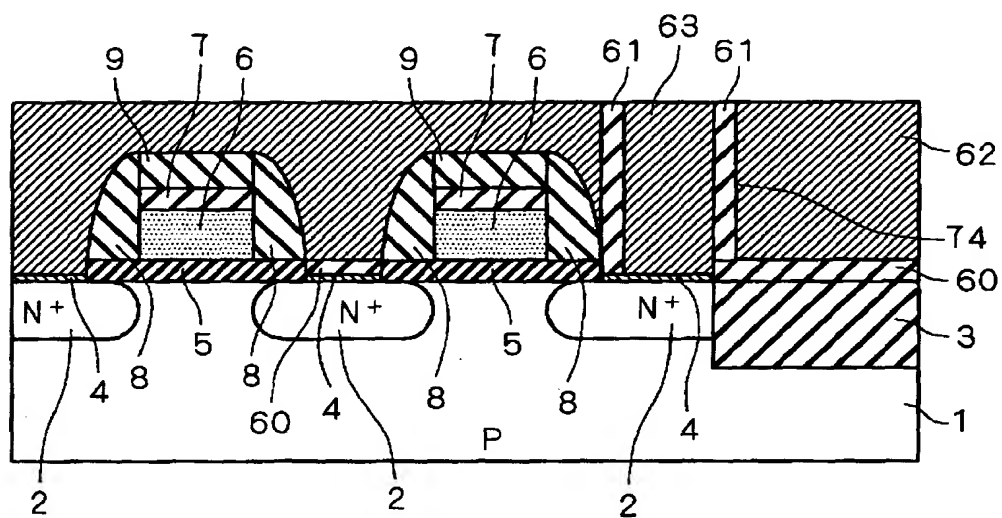
【図 18】



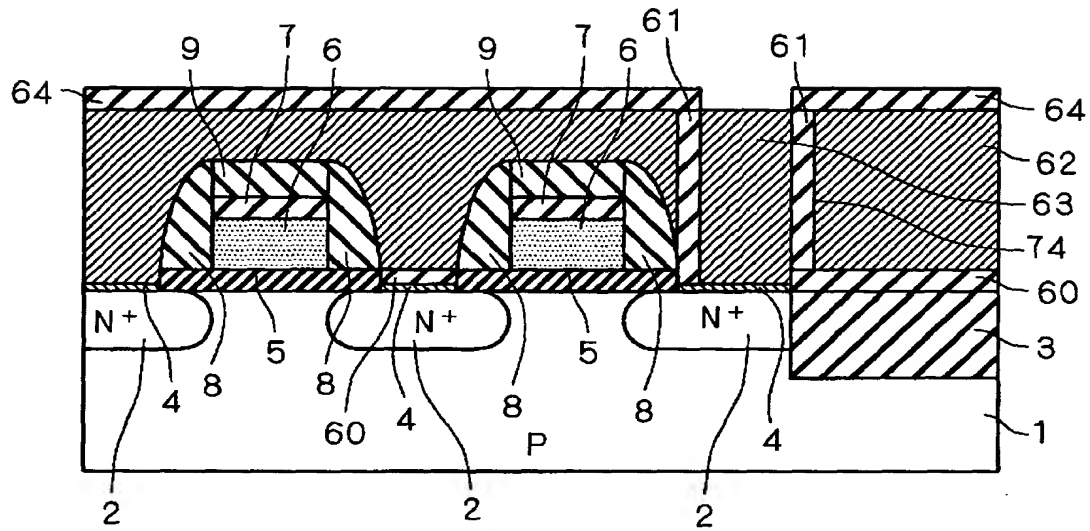
【图 19】



【圖 20】

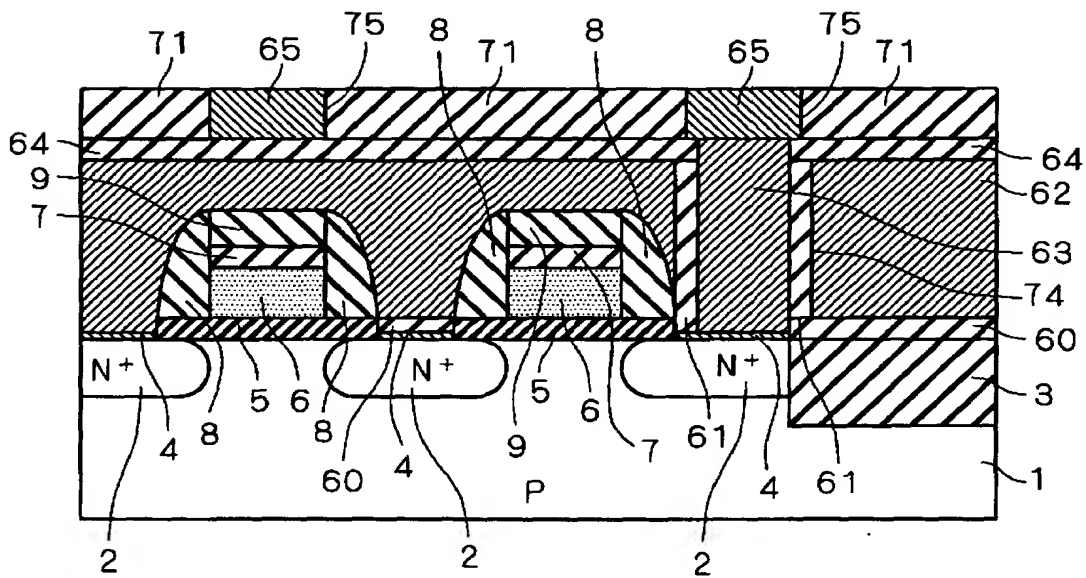


【図 2 1】



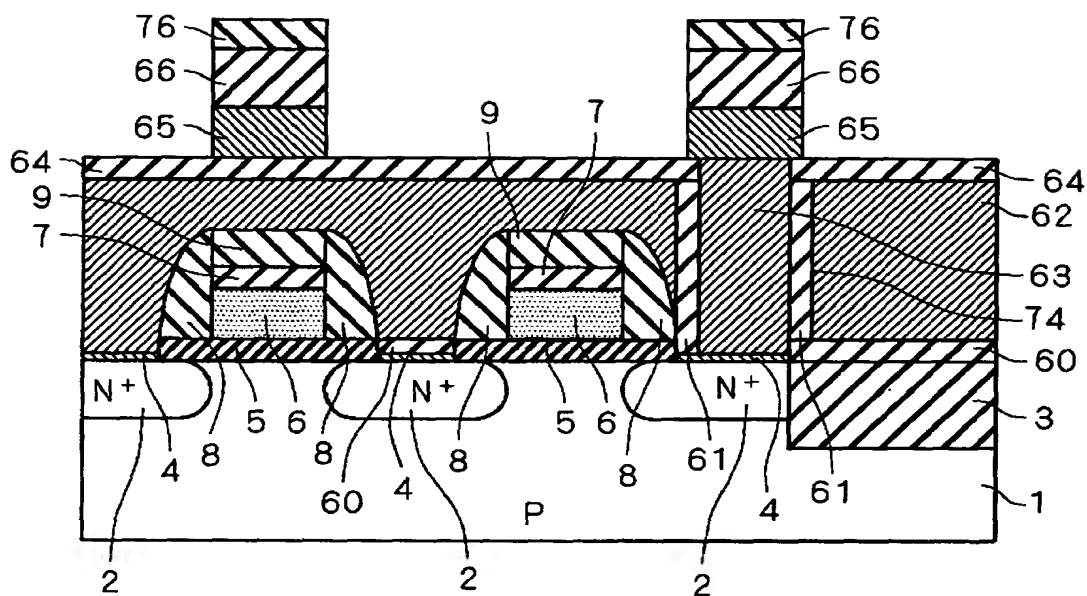
64 : 第 1 絶縁膜

【図 2 2】



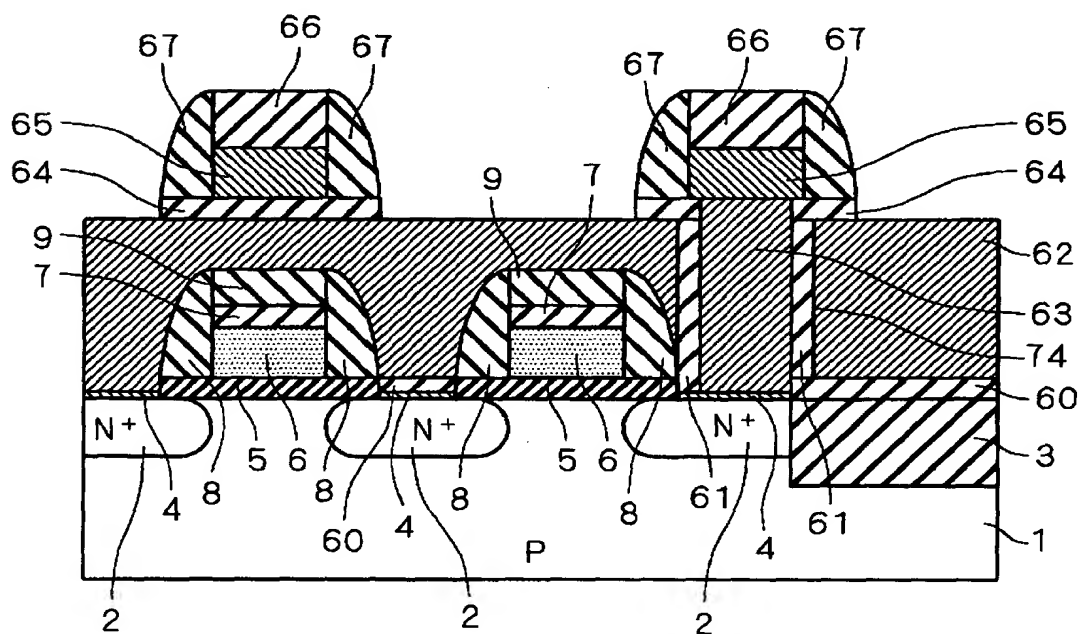
65 : 導電材 (第 1 配線)
71 : TEOS 層 (第 1 犠牲層)
75 : 溝

【図 2 3】



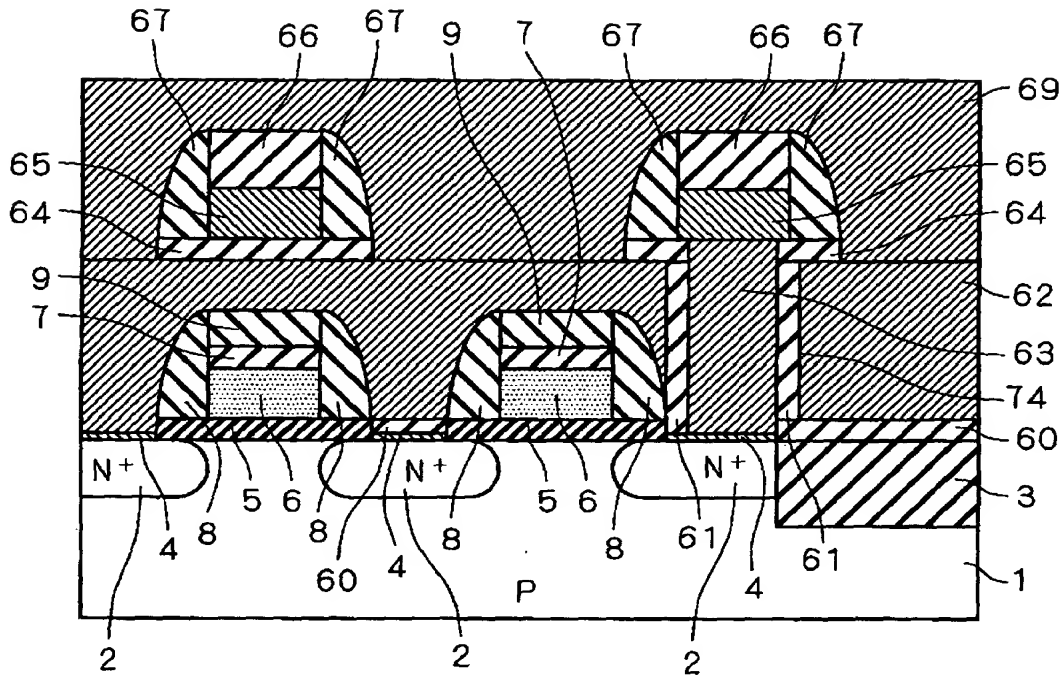
66 : 第 2 絶縁膜 (第 1 上部絶縁膜) 76 : 第 2 絶縁膜

【図 2 4】

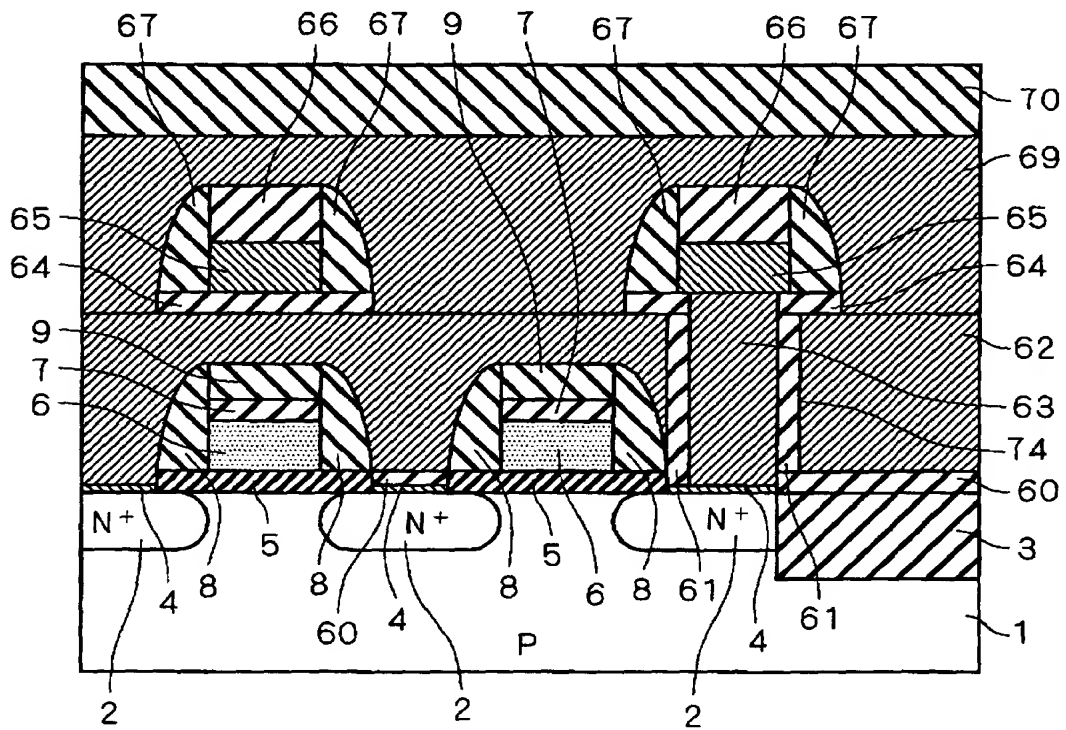


67 : 第 3 絶縁膜 (第 1 サイドウォール)

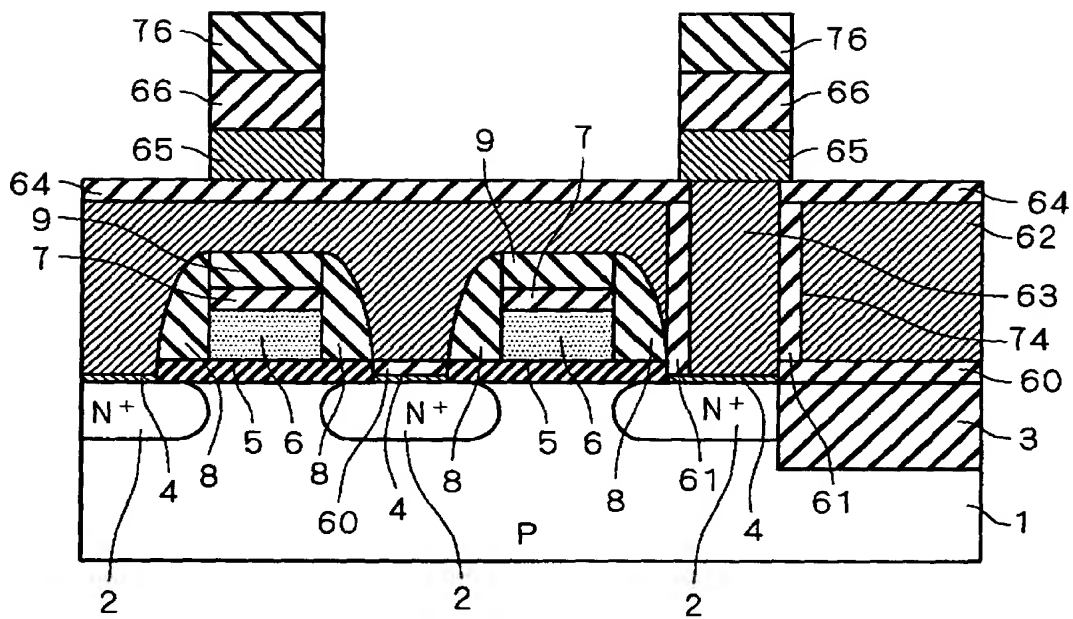
【図 25】



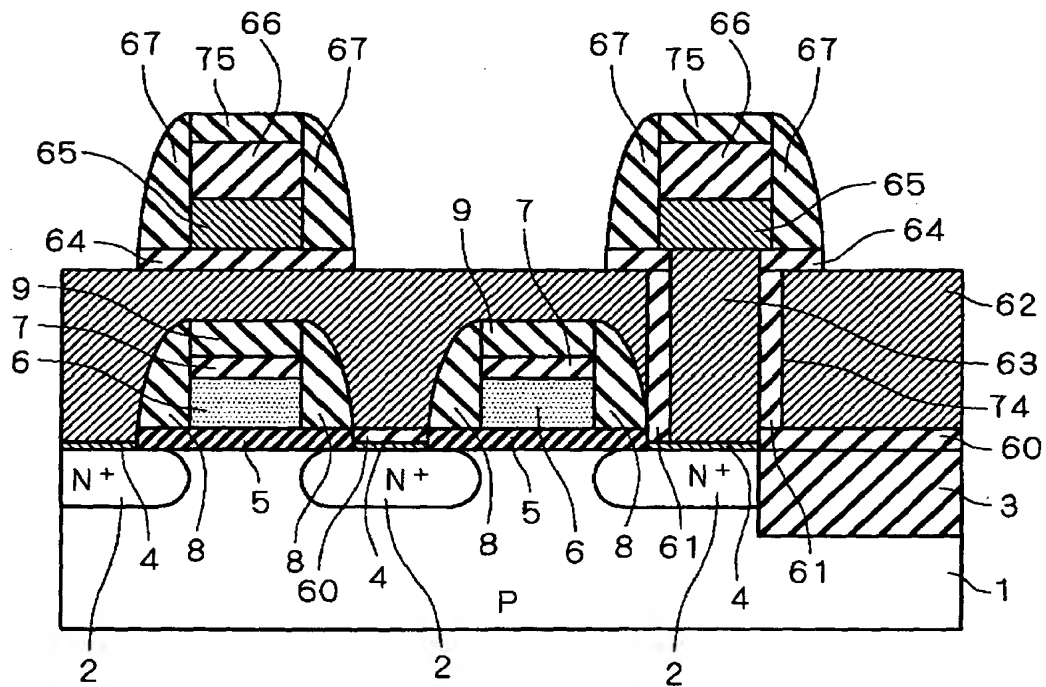
【図 26】



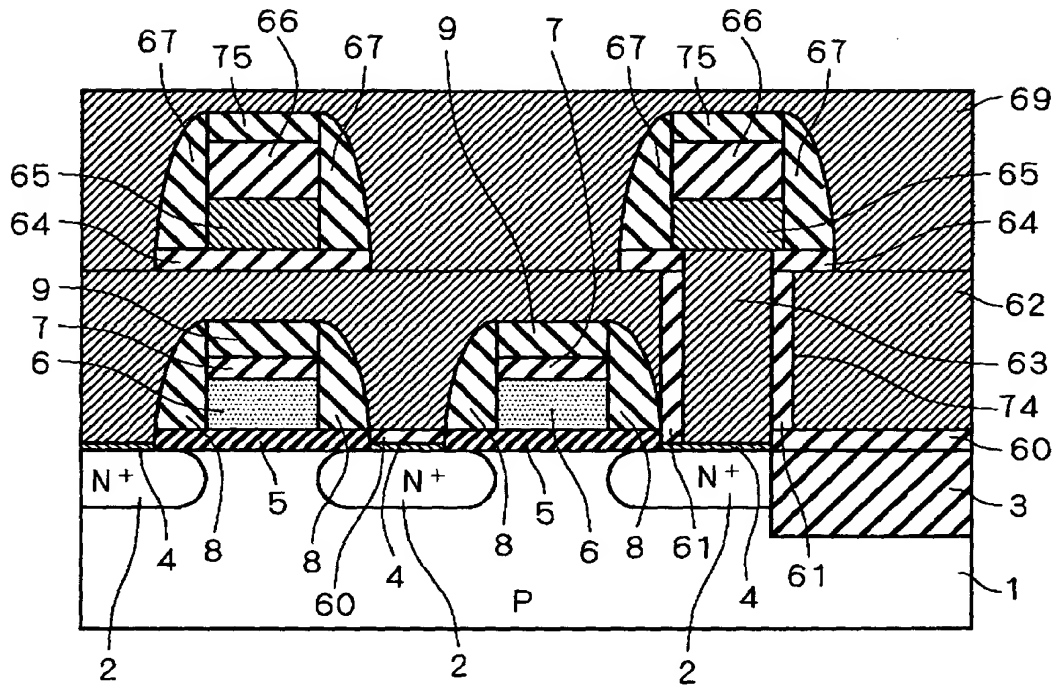
【圖 27】



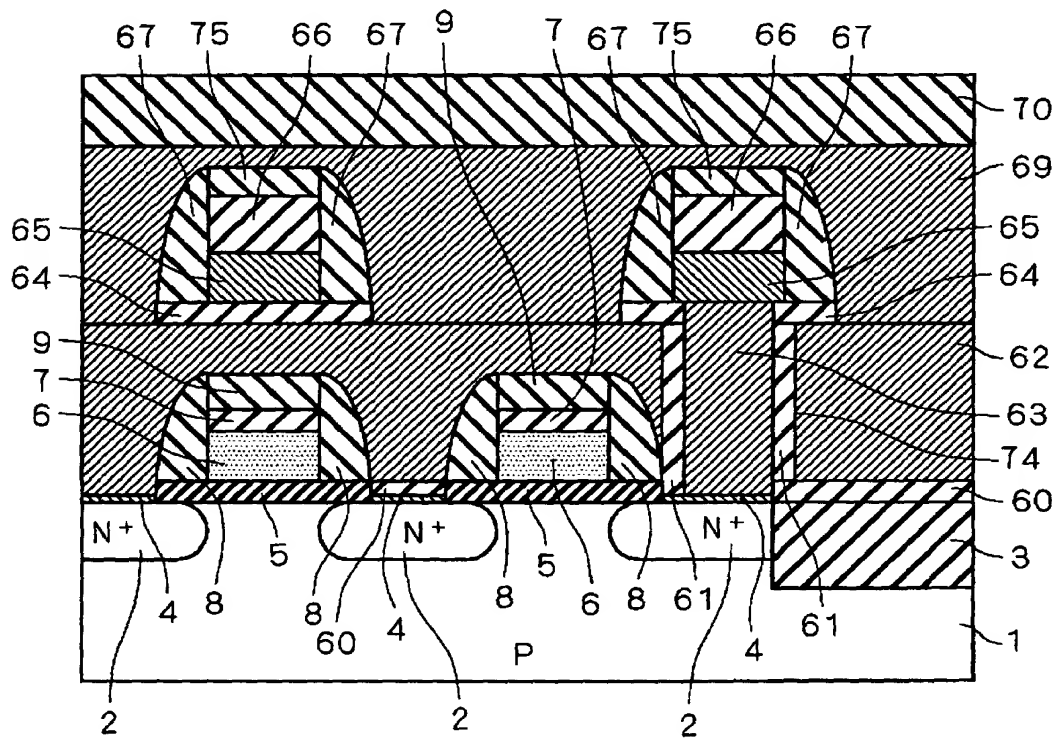
【図 28】



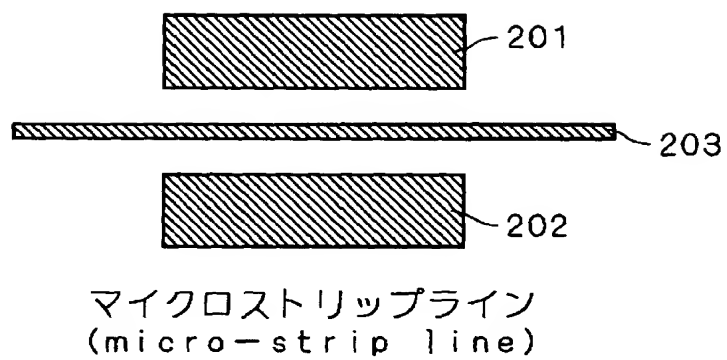
【図 29】



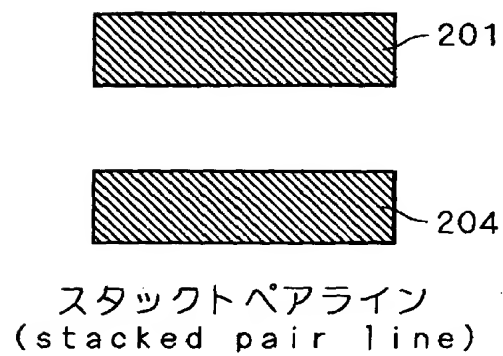
【図 30】



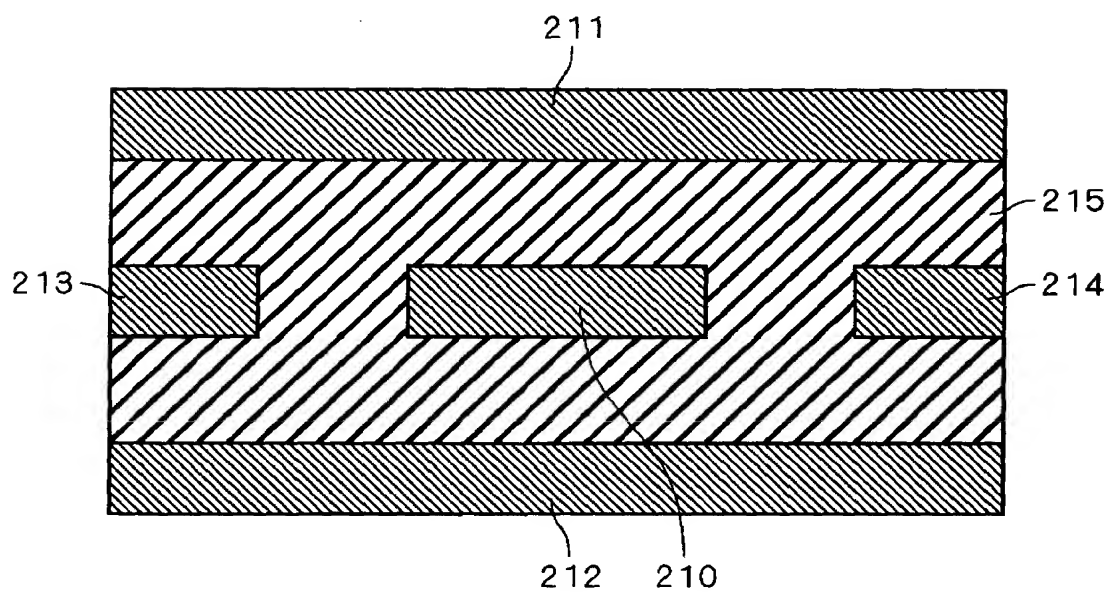
【図 3 1】



【図 3 2】



【図 3 3】



【書類名】 要約書

【要約】

【課題】 配線の雑音排除特性の向上を、微細化の促進および製造工程の簡素化と両立して実現する。

【解決手段】 信号を伝達する配線 6 の上面と側面とが、その延在方向に沿った断面において、絶縁体 7, 8, 9 を挟んで導体層 1 2 によって途切れなく覆われ、導体層 1 2 は半導体基板 1 に接続されている。また、信号を伝達する配線 1 5 の周囲が、その延在方向に沿った断面において、絶縁体 1 4, 1 6, 1 7, 1 8 を挟んで導体層 1 2, 1 9 によって途切れなく覆われている。配線 1 5 は、導体層 2 1 に形成されたコンタクトホール 2 4 に充填された導電プラグ 1 3 によって、半導体基板 1 へ電氣的に接続されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社